

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#4
6-26-02
Mullish

Jc971 U.S. PTO
10/022732
12/20/01

In re U.S. Patent Application of)
AIKI et al.)
Application Number: To Be Assigned)
Filed: Concurrently Herewith)
For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

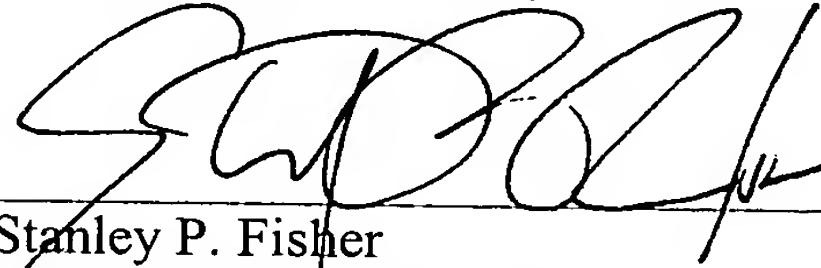
REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority dates of January 30, 2001, and September 3, 2001, the filing dates of Japanese patent applications 2001-021303 and 2001-265210, respectively.

The certified copies of Japanese patent applications 2001-021303 and 265210 are being submitted herewith. Acknowledgment of receipt of the certified copies is respectfully requested in due course.

Respectfully submitted,


Stanley P. Fisher
Registration Number 24,344

REED SMITH HAZEL & THOMAS LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200

JUAN CARLOS A. MARQUEZ
Registration No. 34,072

December 20, 2001

日本国特許庁
JAPAN PATENT OFFICE

JC971 U.S. PTO
10/022732



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 1月30日

出願番号
Application Number:

特願2001-021303

出願人
Applicant(s):

株式会社日立製作所
株式会社日立超エル・エス・アイ・システムズ

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3092526

【書類名】 特許願

【整理番号】 NT00P1215

【提出日】 平成13年 1月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/66

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

 【氏名】 愛木 清

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

 【氏名】 彦根 和文

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

 【氏名】 足立 寛之

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

 【氏名】 岡元 正芳

【発明者】

 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

 【氏名】 小野瀬 将生

【発明者】

 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・エス・アイ・システムズ内

 【氏名】 水野 裕次

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

ボンディング用パッドとプローブ検査用パッドとを配置してなる半導体集積回路装置において、上記プローブ検査用パッドは上記回路の 1 辺又は対向する 2 辺に配置して、上記プローブ検査用パッドが配置された上記 1 辺又は対向する 2 辺以外の辺に配置されたボンディング用パッドから接続用の配線を介して上記ボンディング用パッドを対応する上記プローブ検査用パッドに接続してなることを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドが配置された上記回路の上記 1 辺又は対向する 2 辺が同一線上に又は互いに並行に配列されるようにして複数の上記回路を半導体ウエハ上に配置形成してなることを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記接続用の配線を、上記ボンディング用パッドの外側と上記プローブ検査用パッドの外側、又は上記ボンディング用パッドの内側と上記プローブ検査用パッドの内側に配置形成してなることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記接続用の配線を、互いに等しい配線長に形成してなることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記接続用の配線

をスクライブ領域内に配置し、また、上記プローブ検査用パッドを上記ボンディング用パッドと互いに同列又は千鳥状配列関係となるように配置して、プローブ検査終了後に上記のスクライブ領域内で上記回路間が切断された時に、上記プローブ検査用パッドと上記接続用の配線とが上記回路から取り除かれるように構成してなることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記接続用の配線を単一の配線層又は複数の配線層内に形成して、上記複数の接続用の配線間に GND 線を、又は上記複数の配線層間に GND 線層を挿入配置してなることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 1 記載の半導体集積回路装置において、上記プローブ検査用パッドの近傍に静電破壊防止用の素子を接続配置してなることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体ウエハ上に形成された半導体集積回路装置に関する。特に、プローブ検査におけるテスト時間の短縮を実現する半導体集積回路装置の製造方法、及び検査方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体集積回路装置の製造工程は、半導体ウエハに碁盤目状に半導体集積回路装置を形成させる前工程と、半導体ウエハを切断分離（ダイシング）してパッケージングする後工程とに大別される。その前工程の最終段階においては、半導体ウエハ上の半導体集積回路装置について個別に良否判定を行うために、プローブ検査と呼ばれる電気的特性検査が行われる。

【 0 0 0 3 】

図 1 6 ～ 図 2 0 により従来技術例を説明する。

【 0 0 0 4 】

図 1 6 に、半導体ウエハ上の半導体集積回路装置の形態を示す。一般に半導体集積回路装置は四角形状であり、1 枚の半導体ウエハ 1 0 上に約数千個の半導体集積回路装置 1 が碁盤目状に配置される。

【 0 0 0 5 】

上述のプロブ検査においては、I C テスタと半導体集積回路装置とを電氣的に接続する必要があり、一般的にはプロブカードに取り付けられたプロブ針 8 (カンチレバー方式のタングステン針など) を半導体集積回路装置のパッド 9 に機械的に接触 (針当て) させる手法が用いられている。プロブカードに取り付けられたプロブ針 8 を半導体集積回路装置 1 に対して 1 回に 1 個ずつ針当てして検査後移動する手順を約数千回繰り返すことで 1 枚の半導体ウエハについてのプロブ検査が完了する。

【 0 0 0 6 】

図 1 7 にボンディングパッドに対するプロブ針の針当ての状態を、図 1 8 にワイヤボンディングの様子を示す。図 1 7 に示す半導体集積回路装置 1 は、その中央部分に内部論理領域 5、その外周に入出力バッファ領域 3、さらにその外周にパッド領域 2 を有する。

【 0 0 0 7 】

入出力バッファ領域 3 には入出力バッファ 4 が配置され、パッド領域 2 にはボンディング用パッド (図中、口印で表記、4 辺に 6 個ずつある) 9 が配置されている。

【 0 0 0 8 】

図 1 7 に示すように、半導体集積回路装置 1 のボンディングパッド 9 が 4 辺の外周に沿ってある場合には、プロブ検査時のプロブ針 8 もチップの外周を取り囲むように 4 辺から配置される構造のプロブカードとなる。

【 0 0 0 9 】

同様に、図 1 8 に示すように、半導体集積回路装置 1 のボンディングパッド 9 が 4 辺の外周に沿ってある場合には、パッケージのリードフレームも 4 辺外周に

配置され、ボンディングパッド9とインナーリード7とがボンディングワイヤ6によって1対1で接続される。つまり、ボンディングパッド9が4辺に存在するので、それらとインナーリード7とをボンディング接続すればよいのである。

【 0 0 1 0 】

このワイヤボンディングの具体的な一例が、上述したボンディングパッド9とインナーリード7とをボンディングワイヤ6で接続するものである。

【 0 0 1 1 】

このように、従来は、半導体集積回路装置のボンディング用パッドをそのままプローブ検査のためにも使用するため、半導体集積回路装置の4辺外周のパッドに対して針当てすることが多かった。

【 0 0 1 2 】

図19と図20に、プローブ検査時のプローブカードとプローブ針との針当ての一例を示す。

【 0 0 1 3 】

図19の(a)は、半導体集積回路装置1の4辺外周にパッドがあって、回路1個ずつを検査する場合のプローブカード19aを示し、プローブ針8が各回路の4辺外周にある一般的な形状である。

【 0 0 1 4 】

図19の(b)は、半導体集積回路装置1の4辺外周にパッドがあって、回路2個ずつを同時検査する場合の特殊な形状のプローブカード19bを示す。本例では、プローブ針8を各回路の4辺外周に配置するために一部の辺のプローブ針8を斜め配置した特殊な形状となるため、製作が困難であり、且つ高価なものになっていた。

【 0 0 1 5 】

図20の(a)は、半導体集積回路装置1の対向する2辺の外周にパッドがあって、回路4個ずつを検査する場合のプローブカード20aで、プローブ針8が2列にある形状である。

【 0 0 1 6 】

図20の(b)は、半導体集積回路装置1の対向する2辺の外周にパッドがあ

って、回路 8 個（4 個×2 段）ずつを同時検査する場合のプロブカード 2 0 b であり、プロブ針 8 が 4 列にある形状である。

【0 0 1 7】

図 2 0 の（c）は、半導体集積回路装置 1 の 1 辺の外周にパッドがあって、回路 1 6 個（4 個×4 段）ずつを検査する場合のプロブカード 2 0 c であり、プロブ針 8 が 4 列にある形状である。

【0 0 1 8】

図 2 0 の（b）並びに（c）では、プロブ針 8 が 4 列に設けられているものの、これらプロブ針 8 が斜めになる特殊な配置を必要としないため、プロブカードの製作は比較的容易な形状である。

【0 0 1 9】

上述したように、半導体集積回路装置の同時複数個検査の場合にも、プロブカードの製作が容易、かつ安価であることが重要である。そのためには、半導体集積回路装置のパッドは、各回路の 4 辺外周ではなく、1 辺または対向する 2 辺の外周にあることが望ましい。

【0 0 2 0】

なお、プロブ検査時のためのパッドの 2 辺配置化の従来例としては、例えば特開平 4 - 1 3 3 3 3 8 号公報に記載のものを挙げることができる。

【0 0 2 1】

【発明が解決しようとする課題】

上述したように、従来は、半導体集積回路装置のプロブ検査において、4 辺に検査用パッドがある回路構成の場合には、特殊な形状のプロブカードを使用しない限り、1 回に 1 個ずつの回路を順番に検査していく必要があり、その都度ウエハ移動と針当て操作とを繰り返してやる必要があった。そのために、1 枚の半導体ウエハ上の全ての半導体集積回路装置を検査するためには、半導体ウエハ 1 枚当たりの検査時間 = 1 回当たりの半導体集積回路装置の検査時間 × 検査回数だけ、時間がかかってしまうという問題があった。そのため、特に安価な半導体集積回路装置の製造においては、このプロブ検査にかかる時間が直接コストに影響するため無視できない大きな問題となっていた。

【 0 0 2 2 】

本発明は、上記の問題点に鑑みてなされたものであり、その目的とするところは、1枚の半導体ウェハ上での同時複数個単位でのプローブ検査を容易化して、プローブ検査にかかるコストを低減させることができるように改良された半導体集積回路装置を提供することである。

【 0 0 2 3 】

【課題を解決するための手段】

上記目的を達成するために、本発明においては、以下に示すような改良された回路構成を有する半導体集積回路装置が提供される。

【 0 0 2 4 】

すなわち、上記目的である1枚の半導体ウェハ上での同時複数個単位での回路のプローブ検査を容易化するために、本発明においては、ボンディング用パッドとプローブ検査用パッドとを配置してなる半導体集積回路装置において、上記プローブ検査用パッドを上記回路の周辺4辺のうちの1辺又は対向する2辺に配置して、当該プローブ検査用パッドが配置された上記1辺又は対向する2辺以外の辺に配置された所望の上記ボンディング用パッドからパッド間接続用の配線を介して、上記ボンディング用パッドをそれに対応する上記プローブ検査用パッドに接続してなる半導体集積回路装置が提供される。

【 0 0 2 5 】

なお、上記記載の半導体集積回路装置において、上記プローブ検査用パッドが配置された上記回路の上記1辺又は対向する2辺が同一線上に又は互いに並行に配列されるようにして、複数の上記回路を半導体ウェハ上に配置形成してなるのが、より望ましい。

【 0 0 2 6 】

また、上記記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記パッド間接続用の配線を、上記ボンディング用パッドの外側と上記プローブ検査用パッドの外側、又は上記ボンディング用パッドの内側と上記プローブ検査用パッドの内側に配置形成してなるのが、さらに望ましい。

【 0 0 2 7 】

また、上記記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記パッド間接続用の配線を互いに等しい配線長に形成してなるのが、さらに望ましい。

【 0 0 2 8 】

また、上記記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記パッド間接続用の配線をスクライプ領域内に配置し、また上記プローブ検査用パッドを上記ボンディング用パッドと互いに同列又は千鳥状配列関係となるように配置して、プローブ検査終了後に上記のスクライプ領域内で上記回路間が切断された時に、上記プローブ検査用パッドと上記パッド間接続用の配線とが上記回路から取り除かれるように構成してなるのが、さらに望ましい。

【 0 0 2 9 】

また、上記記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記パッド間接続用の配線を単一の配線層又は複数の配線層内に形成して、上記複数のパッド間接続用の配線間に G N D 線を、又は上記複数の配線層間に G N D 線層を挿入配置してなるのが、さらに望ましい。

【 0 0 3 0 】

さらには、上記記載の半導体集積回路装置において、上記プローブ検査用パッドの近傍に静電破壊防止用の素子を接続配置してなるのが、さらに望ましい。

【 0 0 3 1 】

なお、上記した本発明の特徴的回路構成を採用することにより得られる効果については、後程詳しく説明する。

【 0 0 3 2 】

また、本発明の上記以外の目的、構成並びにそれにより得られる作用・効果については、以下の実施例を挙げての具体的な説明の中で逐次明らかにされよう。

【 0 0 3 3 】

【発明の実施の形態】

以下、本発明の実施の形態につき、実施例を挙げ、図面を参照しながら詳細に説明する。

【 0 0 3 4 】

(実施例 1)

先ず、プローブ検査用パッドを半導体集積回路装置の対向する 2 辺に配置した場合の一実施例について、図 1 ～ 図 4 を用いて説明する。図 1 に、本実施例 1 におけるプローブ検査用パッドとその配線との様子を示し、図 2 に、その時のプローブ検査におけるプローブ針の針当ての様子を示す。

【 0 0 3 5 】

図 1 に示す半導体集積回路装置 1 は、中央部分に内部論理領域 5、その外周に入出力バッファ領域 3、さらにその外周にパッド領域 2 がある。入出力バッファ領域 3 には、入出力バッファ 4 が配置され、パッド領域 2 には、ボンディング用パッド（図中、口印で表記、4 辺に各 6 個ずつある）3 1 1, 3 1 2, 3 1 3, ……とプローブ検査用パッド（図中、口中に×印を挿入して表記、上下の 2 辺にそれぞれ 6 個ずつある）2 1 1, 2 1 2, 2 1 3, ……とが配置され、特徴的には、上記のプローブ検査用パッドが対向する 2 辺（図中、上側と下側との 2 辺）に配置されたものである。そして、上下対向する 2 辺に配置されたプローブ検査用パッドは、それ以外の 2 辺（図中、左、右の 2 辺）に配置された対応するボンディング用パッドと、パッド領域 2 よりもさらに外周の領域内にて、接続用配線により結線されている。この接続用配線の具体的な一例としては、ボンディング用パッド 3 1 1 とプローブ検査用パッド 2 1 1 とを配線 4 1 1 で、ボンディング用パッド 3 1 2 とプローブ検査用パッド 2 1 2 とを配線 4 1 2 で、ボンディング用パッド 3 1 3 とプローブ検査用パッド 2 1 3 とを配線 4 1 3 で（以下、同様）接続したものである。

【 0 0 3 6 】

かかる構成によって、上下の 2 辺に配置されたプローブ検査用パッド 2 1 1, 2 1 2, 2 1 3, ……に検査用のプローブ針を当てて検査すれば、左右の 2 辺に配置されたボンディング用パッド 3 1 1 ～ 3 1 3 に直接プローブ針を当てて検査したことと等価となる。つまり、従来のように上下左右の 4 辺に存在する 2 4 個

のボンディング用パッドを用いたプローブ検査と、本実施例のように上下の2辺に存在する24個のパッド（12個のボンディング用パッドと12個のプローブ検査用パッド）を用いたプローブ検査とが、互いに等価なものとなる。

【0037】

なお、図1に示した配線411、412、413、……は、上記のように回路の最外周部に設けられるべく限定されるものではなく、入出力バッファ領域3、並びに内部論理領域5などの内部に設けられていても構わない。それらの具体例については、後掲の図6、図9等を用いての実施例の説明の中で述べる。また、ボンディング用パッドとプローブ検査用パッドの寸法は基本的には同じ大きさでよいが、プローブ検査用パッドは実際にはボンディングされないパッドなので、最小限プローブ針が当てられる程度までに小さくしても構わない。

【0038】

図2に、本実施例の回路構成におけるプローブ検査時の上下2辺に設けられたパッド（ボンディング用パッド及びプローブ検査用パッド）への針当ての様子を示す。上述したように、図中上下の2辺に配置されたパッドに対してプローブ針を針当てすることで所要のプローブ検査ができる。つまり、半導体集積回路装置1の図中上下の2辺にあるパッド群（図では、上下各12本ずつの2群）に対し合計24本のプローブ針8を当てればよいのである。

【0039】

図3に、本実施例の回路構成において同時複数個単位での回路のプローブ検査を行う場合の半導体ウエハ上での様子を示す。

【0040】

半導体ウエハ10上には、パッド位置が一直線上に並ぶように半導体集積回路装置1が碁盤目状に形成されている。それぞれの半導体集積回路装置1においては、その2辺にパッドがあるため、図3に示すように、プローブ検査用パッドを横一列（一直線上）に配列することが可能である。そして、総数192本（12本×4列×4個）のプローブ針8によって、一度に8個（4個×2段）の半導体集積回路装置1の同時複数個単位での検査を行うことができる。この場合、8個の回路を同時に検査するため、1/8の時間で1枚の半導体ウエハ10の検査を

完了できる。

【 0 0 4 1 】

図 4 に、本実施例の回路構成においてのワイヤボンディングの様子を示す。図 4 は、ボンディング用パッドとパッケージのインナーリードとが、各半導体集積回路装置 1 の 4 辺において、それぞれ 1 対 1 でボンディング接続される構成を示している。つまり、ボンディング用パッドは、元々 4 辺に存在するので、それらとインナーリードとを互いにボンディング接続すればよいのである。

【 0 0 4 2 】

このワイヤボンディングの具体的な一例として、図 4 に示すように、ボンディング用パッド 3 1 1 とインナーリード 7 1 1 とをボンディングワイヤ 6 1 1 で、ボンディング用パッド 3 1 2 とインナーリード 7 1 2 とをボンディングワイヤ 6 1 2 で、ボンディング用パッド 3 1 3 とインナーリード 7 1 3 とをボンディングワイヤ 6 1 3 で、ボンディング用パッド 3 1 4 とインナーリード 7 1 4 とをボンディングワイヤ 6 1 4 で、ボンディング用パッド 3 1 5 とインナーリード 7 1 5 とをボンディングワイヤ 6 1 5 で、ボンディング用パッド 3 1 6 とインナーリード 7 1 6 とをボンディングワイヤ 6 1 6 で、（以下、同様）それぞれ接続する。なお、プローブ検査用パッド 2 1 1 ～ 2 1 3 にはワイヤボンディングをしない。

【 0 0 4 3 】

以上に記載のように、本実施例においては、プローブ検査用パッドを対向する 2 辺に追加配置して、それ以外の辺のボンディング用パッドから接続用配線を延ばして対応するパッド間を接続したことにより、上記の対向する 2 辺のみへのプローブ針の針当てによって、所要のプローブ検査が可能となる。このため、プローブカードを容易かつ安価に製作でき、同時複数個単位での検査も可能となり、プローブ検査が 1 / 8 の時間で行えるようになった。さらには、従来のように、各回路の 4 辺においてのワイヤボンディングが可能であるため、パッケージング等の後工程には何らの支障をも与えない。

【 0 0 4 4 】

次に、本実施例において各回路の左右 2 辺に設けられたボンディング用パッドと各回路の上下 2 辺に設けられた対応するプローブ検査用パッドとの間の配線の

形態例について、図 5 ～ 図 8 を用いて説明する。

【 0 0 4 5 】

なお、これら図 5 ～ 図 8 に示す配線形態例は、後述する第 2 の実施例（実施例 2）においてプローブ検査用パッドを各回路の上側 1 辺のみに配置した場合（図 9 ～ 図 1 1）についても組み合わせて適用できるものであり、本発明はそのような組み合わせ適用例をも含むものであることは云うまでもない。

【 0 0 4 6 】

先ず、本実施例における等長配線の一構成例を示す。図 5 に、ボンディング用パッドとプローブ検査用パッド間を等しい長さの配線で結線する場合の具体的な一例を示す。図 5 の具体例では、ボンディング用パッド 3 1 3 とプローブ検査用パッド 2 1 1 間を配線 4 5 1 で、ボンディング用パッド 3 1 2 とプローブ検査用パッド 2 1 2 間を配線 4 5 2 で、ボンディング用パッド 3 1 1 とプローブ検査用パッド 2 1 3 間を配線 4 5 3 で、それぞれ等しい長さで接続している。

【 0 0 4 7 】

図 5 に示すような等長配線構造とすることにより、各配線間での電氣的な特性バラツキ（例えば、配線容量、配線抵抗等）を小さくできる効果がある。

【 0 0 4 8 】

次に、ボンディング用パッドとプローブ検査用パッド間を接続する配線をスクライプ領域内に設けた一例を示す。

【 0 0 4 9 】

図 6 は、ボンディング用パッドとプローブ検査用パッドとの間を接続する配線をスクライプ領域 1 1 x、1 1 y 内に設けた場合を示している。すなわち、ボンディング用パッドとプローブ検査用パッドとは双方とも半導体集積回路装置 1 内に設けられているが、その間の接続用配線のみがスクライプ領域 1 1 x、1 1 y 内に配置されている場合である。図 6 に示す具体的では、ボンディング用パッド 3 1 1 とプローブ検査用パッド 2 1 1 間を配線 4 6 1 で、ボンディング用パッド 3 1 2 とプローブ検査用パッド 2 1 2 間を配線 4 6 2 で、ボンディング用パッド 3 1 3 とプローブ検査用パッド 2 1 3 間を配線 4 6 3 でそれぞれ接続している。

【 0 0 5 0 】

本構成例によれば、プローブ検査が終了した後は、スクライプ領域 1 1 x、1 1 y において各半導体集積回路装置 1 間を切断することにより、プローブ検査用パッドとボンディング用パッド間を接続していた配線を半導体集積回路装置 1 から取り除くことができる。

【 0 0 5 1 】

次に、ボンディング用パッドとプローブ検査用パッドとの間を接続する配線をスクライプ領域内に設けた場合の他の一構成例と、当該構成例とした場合におけるプローブ検査に際してのプローブ針の針当ての様子について説明する。

【 0 0 5 2 】

図 7 に、上下 2 辺に配置されたプローブ検査用パッドとそれらのプローブ検査用パッドと左右 2 辺に配置されたボンディング用パッドとの間を接続する配線との双方をスクライプ領域内に配置した場合を示す。なお、図では、プローブ検査用パッドがボンディング用パッドと上下で重ならないようにするために、プローブ検査用パッドをボンディング用パッドに対して千鳥状配置となるように設けてある。パッド間の配線の具体的な一例としては、ボンディング用パッド 3 1 1 とプローブ検査用パッド 2 1 1 間を配線 4 7 1 で、ボンディング用パッド 3 1 2 とプローブ検査用パッド 2 1 2 間を配線 4 7 2 で、ボンディング用パッド 3 1 3 とプローブ検査用パッド 2 1 3 間を配線 4 7 3 で、それぞれ接続している。

【 0 0 5 3 】

上述のように、プローブ検査用パッドとボンディング用パッドとを互いに千鳥状位置に配置しているため、プローブ針 8 がお互いに衝突し合うことなく、容易に針当て操作を行える。その様子を図 8 に示す。

【 0 0 5 4 】

以上のような構成によれば、プローブ検査が終了した後に、スクライプ領域において各半導体集積回路装置 1 間を切り離した際、プローブ検査用パッドと当該プローブ検査用パッドを対応するボンディング用パッドに接続するための配線を半導体集積回路装置 1 から取り除くことができる。

【 0 0 5 5 】

(実施例 2)

次に、プローブ検査用パッドを半導体集積回路装置の 1 辺に配置した場合の一実施例について、図 9 ～ 図 1 1 を用いて説明する。

【 0 0 5 6 】

図 9 に、本実施例における、プローブ検査用パッドを 1 辺化した場合のパッド間配線の様子を示す。

【 0 0 5 7 】

図 9 に示す半導体集積回路装置 1 においては、パッド領域 2 内に、ボンディング用パッド（図中、□印で表記、各辺に 6 個ずつある）とプローブ検査用パッド（図中、□印中に×印を挿入して表記、上辺のみに 6 個ある）とが配置されている。特徴的な点は、プローブ検査用パッドが回路の 1 辺（図中、上側の辺）のみに配置されている点であり、プローブ検査時には、この回路上辺側に配置された合計 1 2 個のパッド（ボンディング用パッド 6 個とプローブ検査用パッド 6 個）に合計 1 2 本の検査用プローブ針をそれぞれ針当てして検査がなされる。また、回路上側の 1 辺に配置されたプローブ検査用パッドとそれ以外の辺に配置されたボンディング用パッドとの間の配線は、パッド領域 2 の外側のみならず、入出力バッファ領域 3、内部論理領域 5 などの内側をも経由して設けられている。図 9 には、このパッド間配線の具体的な一例として、ボンディング用パッド 3 1 2 とプローブ検査用パッド 2 1 2 間を配線 4 9 2 で、ボンディング用パッド 3 1 3 とプローブ検査用パッド 2 1 1 間を配線 4 9 1 で、ボンディング用パッド 3 2 4 とプローブ検査用パッド 2 1 3 間を配線 4 9 3 で、パッド領域 2 の外側の領域内でそれぞれ接続し、ボンディング用パッド 3 2 5 とプローブ検査用パッド 2 2 5 間を配線 4 9 5 でもって、パッド領域 2 の内側の領域を経由して接続した場合を示してある。かかる構成によって、回路の上側 1 辺上に配置されたプローブ検査用パッド 2 1 2， 2 1 1， 2 1 3， 2 2 5， … に検査用のプローブ針を当てて検査すれば、回路の他の 3 辺上に配置されたボンディング用パッド 3 1 2； 3 1 3， 3 2 4， 3 2 5， … に直接プローブ針を当てて検査したことと等価となる。

【 0 0 5 8 】

図 1 0 に、本実施例の回路構成において、回路上側 1 辺上に配置された 1 2 個のパッド（ボンディング用パッド 6 個とプローブ検査用パッド 6 個）に 1 2 本の

検査用プローブ針 8 を針当てして検査する場合の様子を示す。

【 0 0 5 9 】

このように、半導体集積回路装置 1 の 1 辺（図中の上辺）に 1 2 本のプローブ針 8 を針当てすることにより、所要のプローブ検査ができる。前述したように、6 本のプローブ針がボンディング用パッドに、残り 6 本のプローブ針がプローブ検査用パッドにそれぞれ針当てされる。

【 0 0 6 0 】

上述のように、本実施例の回路構成によれば、半導体集積回路装置 1 の図中の上辺にあるパッド群にプローブ針 8 を当てることによって、当該半導体集積回路装置 1 のプローブ検査が可能である。

【 0 0 6 1 】

図 1 1 に、本実施例の回路構成におけるプローブ検査時の半導体ウエハ上での同時複数個単位での回路のプローブ検査時の様子を示す。

【 0 0 6 2 】

半導体ウエハ 1 0 上には、パッド位置が一直線上に並ぶように半導体集積回路装置 1 が形成されている。この半導体集積回路装置 1 においては、回路の 1 辺側にのみプローブ検査用パッドがあるため、図 1 1 に示すように、プローブ針 8 を横一列（一直線上）に 4 段で配列することが可能である。そして、総数 1 9 2 本（1 2 本×4 列×4 個）のプローブ針 8 により、一度に 1 6 個（4 個×4 段）の半導体集積回路装置 1 の同時複数個単位での検査を行うことができる。従って、この場合には、1 6 個の回路 1 を同時検査するため、従来の 1 / 1 6 の時間で、1 枚の半導体ウエハ 1 0 上の全ての回路のプローブ検査を完了できる。

【 0 0 6 3 】

次に、本実施例において各回路の左右 2 辺と下側 1 辺とに設けられたボンディング用パッドと各回路の上側 1 辺に設けられた対応するプローブ検査用パッドとの間の配線の形態例について、図 1 2 ～図 1 5 を用いて説明する。

【 0 0 6 4 】

なお、これら図 1 2 ～図 1 5 に示す配線形態例は、前述の第 1 の実施例（実施例 1）におけるプローブ検査用パッドを各回路の上下 2 辺に配置した場合（図 1

～図4) についても組み合わせて適用できるものであり、本発明はそのような組み合わせ適用例をも含むものであることは云うまでもない。

【0065】

先ず、図12に、本実施例の回路構成において、プローブ検査用パッドとそれに対応するプローブ検査用パッドとの間を結ぶ配線（信号線）をスクライブ領域に配置する場合のフォトマスクとTEGとの様子を示す。一般に、半導体ウエハ上には、半導体集積回路装置1の品質評価等を目的にTEGと云うモニタ用素子12が使用されている。図12では、各半導体集積回路装置間のスクライブ領域11x、11y内にこのTEG12が配置されている。

【0066】

上述したように、ボンディング用パッドとプローブ検査用パッド間を接続する配線がスクライブ領域にある場合には、このTEGの設置領域を考慮しなければならないが、TEGが上層の配線層に至らないゲート素子のような場合は、そのTEGの上層に配線をしてレイアウト的に衝突回避できるので問題はない。

【0067】

また、フォトマスク13においては、半導体集積回路装置1とスクライブ領域11x、11y内に配置した配線とTEG12とを、例えば図12に示すようにフォトマスク境界13の単位で一組又は複数組にすることで、製造効率を高めることができる。

【0068】

次に、図13、図14に、本実施例の回路構成を基に、ボンディング用パッドからプローブ検査用パッドまで延長した配線（信号線）間にGND線を、または配線（信号線）層間にGND層を挿入配置した例を示す。

【0069】

図13は配線部分の上面図で、各配線（信号線）411、412、413間に配線（GND線）411g、412g、413gが挿入配置されている。かかる構成により、配線（信号線）間で起こり得る障害（例えば、クロストーク等）を防止することができる。

【0070】

図 1 4 は配線部分の断面図で、配線層が 3 層ある場合の配線例である。図 1 4 の (a) は配線 (信号線) 間に配線 (GND 線) が挿入配置される場合、図 1 4 の (b) は配線 (信号線) 間に配線 (GND 線) が挿入配置されかつ配線層毎に交互にずれている場合、図 1 4 の (c) は配線 (信号線) 層間に GND 層が挿入配置される場合、図 1 4 の (d) は配線 (信号線) 層の上, 下に GND 層が挿入配置される場合を示している。かかる構成により、図 1 3 の場合と同様に、配線 (信号線) 間で起こり得る障害 (例えば、クロストーク等) を防止できる効果が得られる。

【 0 0 7 1 】

次に、図 1 5 に、本実施例の回路構成において、プローブ検査用パッドの近傍に静電破壊防止素子を挿入配置した例を示す。なお、本図では、入出力バッファ 4 の一例として、入力素子のみを表記してある。

【 0 0 7 2 】

半導体集積回路装置 1 中の入出力バッファ 4 は、入力素子 4 0 と静電破壊防止素子 4 a とで構成されている。静電破壊防止素子 4 a は、静電気等による高電圧が入力素子 4 0 に印可されて該素子が破壊されるのを防止するために、電源又は GND にバイパスする素子であり、例えばダイオード等が用いられる。

【 0 0 7 3 】

入力バッファ 4 は、ボンディング用パッド 3 0 0 に接続され、さらにボンディングワイヤ 6 を介してパッケージのインナーリード 7 に接続されている。また、ボンディング用パッド 3 0 0 は配線 4 0 0 を介してプローブ検査用パッド 2 0 0 に接続されている。本例では、静電気等による高電圧の影響を抑えるため、プローブ検査用パッド 2 0 0 の近傍にも静電破壊防止素子 4 b が配置されている。

【 0 0 7 4 】

【発明の効果】

本発明によれば、ボンディング用パッドとプローブ検査用パッドとを配置した半導体集積回路装置において、プローブ検査用パッドは回路の 1 辺又は対向する 2 辺に配置して、このプローブ検査用パッドを配置した上記の 1 辺又は 2 辺以外の辺の所望のボンディング用パッドから接続用の配線を延長して、該ボンディン

グ用パッドを上記プローブ検査用パッドに接続した構成によって、プローブ検査に際してプローブ針を当てるべき位置を上記回路の上記 1 辺又は対向する 2 辺に集約でき、また、上記の 1 辺又は対向する 2 辺が同一線上または並行になる配置で半導体ウエハ上に配列したため、同一のプローブカード上に複数の半導体集積回路装置にプローブ針を当てるための構造を容易に形成できるので、同時複数個単位での回路のプローブ検査が容易に実現できる。

【 0 0 7 5 】

回路の 2 辺で検査する場合、例えば、同時検査回路数が 8 個の時には、半導体ウエハ 1 枚当たりのプローブ検査時間を従来の $1/8$ に短縮でき、また、回路の 1 辺で検査をする場合には、例えば、同時検査回路数が 16 個の時には、半導体ウエハ 1 枚当たりのプローブ検査時間を従来の $1/16$ に短縮できるため、検査にかかるコストを大幅に低減できると云う効果がある。

【 0 0 7 6 】

また、本発明の半導体集積回路装置において、上記のプローブ検査用パッドを配置した回路の 1 辺又は対向する 2 辺まで他の辺のボンディング用パッドからの接続用配線を延長する時、当該接続用配線は上記ボンディング用パッドの外側と上記プローブ検査用パッドの外側とを通る配線経路とすることによって、入出力バッファ領域や内部論理領域へのレイアウト的な影響を与えることなくして配線することができる。一方、ボンディング用パッドの内側とプローブ検査用パッドの内側を通る配線経路とした場合には、対向する辺までへの配線長を短くできると云う効果が得られる。

【 0 0 7 7 】

また、本発明の半導体集積回路装置において、上記のプローブ検査用パッドを配置した回路の 1 辺又は対向する 2 辺まで他の辺のボンディング用パッドからの接続用配線を延長する時、当該接続用配線を互いに等しい長さに設定することによって、当該配線間での電気的な特性のバラツキを小さくできると云う効果が得られる。

【 0 0 7 8 】

また、本発明の半導体集積回路装置において、回路の 1 辺又は対向する 2 辺に

ボンディング用パッドとプローブ検査用パッドとが併設される時、上記プローブ検査用パッドと上記の接続用配線をスクライプ領域内に配置し、また、上記プローブ検査用パッドを上記ボンディング用パッドと互いに同列又は千鳥状配列関係となるように配置して、プローブ検査終了後に上記のスクライプ領域で回路間が切断された時に、上記プローブ検査用パッドと上記接続用配線とが回路から取り除かれるようにすることによって、切断（スクライプ）後の半導体集積回路装置中には上記プローブ検査用パッドと上記接続用配線とが残らないので、後工程における選別検査での電氣的な特性測定には何ら影響を与えることがなくなると云う効果も得られる。

【 0 0 7 9 】

また、本発明の半導体集積回路装置において、上記のプローブ検査用パッドとそれに対応するボンディング用パッド間を結ぶ上記接続用配線を単一又は複数の配線層内に設けて、当該配線間又は当該配線層間に G N D 線又は G N D 層を挿入配置することによって、隣り合う配線同士間で起こりうる障害（例えば、クロストーク等）を抑止する効果が得られる。

【 0 0 8 0 】

さらには、本発明の半導体集積回路装置において、上記プローブ検査用パッドを配置した回路の 1 辺又は対向する 2 辺までボンディング用パッドからの接続用配線が延長される時、当該プローブ検査用パッドの近傍には静電破壊防止のための素子を配置することによって、上記ボンディング用パッド側の入出力バッファに備えられた静電破壊防止素子と併せて、静電気等により発生する高電圧による入出力バッファを含めた内部回路の破壊を防止できると云う効果が得られる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施例になる半導体集積回路装置におけるプローブ検査用パッドとその接続用配線との配置関係を示す図である。

【図 2】 本発明の第 1 の実施例になる半導体集積回路装置におけるプローブ検査時の回路の上下 2 辺に配置されたプローブ検査用パッドとボンディング用パッドとに対するプローブ針の針当ての様子を示す図である。

【図 3】 本発明の第 1 の実施例になる半導体集積回路装置における同時複数個単

位での回路のプローブ検査時の半導体ウエハ上でのプローブ針の針当ての様子を示す図である。

【図 4】本発明の第 1 の実施例になる半導体集積回路装置におけるワイヤボンディングの様子を示す図である。

【図 5】本発明の第 1 の実施例になる半導体集積回路装置において、プローブ検査用パッドとボンディング用パッドとの間を結ぶ接続用配線を等長配線化した場合の一構成例を示す図である。

【図 6】本発明の第 1 の実施例になる半導体集積回路装置において、パッド間の接続用配線をスクライプ領域内に設けた場合の一構成例を示す図である。

【図 7】本発明の第 1 の実施例になる半導体集積回路装置において、プローブ検査用パッドとパッド間接続用配線とをスクライプ領域内に配置した場合の一構成例を示す図である。

【図 8】本発明の第 1 の実施例になる半導体集積回路装置において、プローブ検査用パッドとパッド間接続用配線とをスクライプ領域内に配置した場合におけるプローブ検査に際してのプローブ針の針当ての様子を示す図である。

【図 9】本発明の第 2 の実施例になる半導体集積回路装置におけるプローブ検査用パッドとその接続用配線との配置関係を示す図である。

【図 1 0】本発明の第 2 の実施例になる半導体集積回路装置におけるプローブ検査時の回路の上側 1 辺に配置されたプローブ検査用パッドとボンディング用パッドとに対するプローブ針の針当ての様子を示す図である

【図 1 1】本発明の実施の形態におけるプローブ検査時の半導体ウエハでの同時複数個単位での検査時の様子を示す図である。

【図 1 2】本発明の第 2 の実施例になる半導体集積回路装置において、スクライプ領域内にパッド間接続用配線を設けた場合のフォトマスクと T E G との様子を示す図である。

【図 1 3】本発明の第 2 の実施例になる半導体集積回路装置において、パッド間接続用配線（信号線）間に G N D 線を挿入配置した場合の一構成例を示す図である。

【図 1 4】本発明の第 2 の実施例になる半導体集積回路装置において、パッド間

接続用配線層（信号線層）間に G N D 線層を挿入配置した場合の一構成例を示す図である。

【図 1 5】本発明の第 2 の実施例になる半導体集積回路装置において、プローブ検査用パッドの近傍に静電破壊防止素子を挿入配置した場合の一構成例を示す図である。した例を示す図である。

【図 1 6】従来構成の半導体集積回路装置におけるボンディング用パッドの配置関係を示す図である。

【図 1 7】従来構成の半導体集積回路装置におけるプローブ検査時のボンディング用パッドへのプローブ針の針当ての様子状態を示す図である。

【図 1 8】従来構成の半導体集積回路装置におけるワイヤボンディングの様子を示す図である。

【図 1 9】従来構成の半導体集積回路装置におけるプローブ検査時のプローブカードとプローブ針との配置関係を示す図である。

【図 2 0】従来構成の半導体集積回路装置において、同時複数個単位での回路のプローブ検査を行う場合のプローブカードとプローブ針との配置関係を示す図である。

【符号の説明】

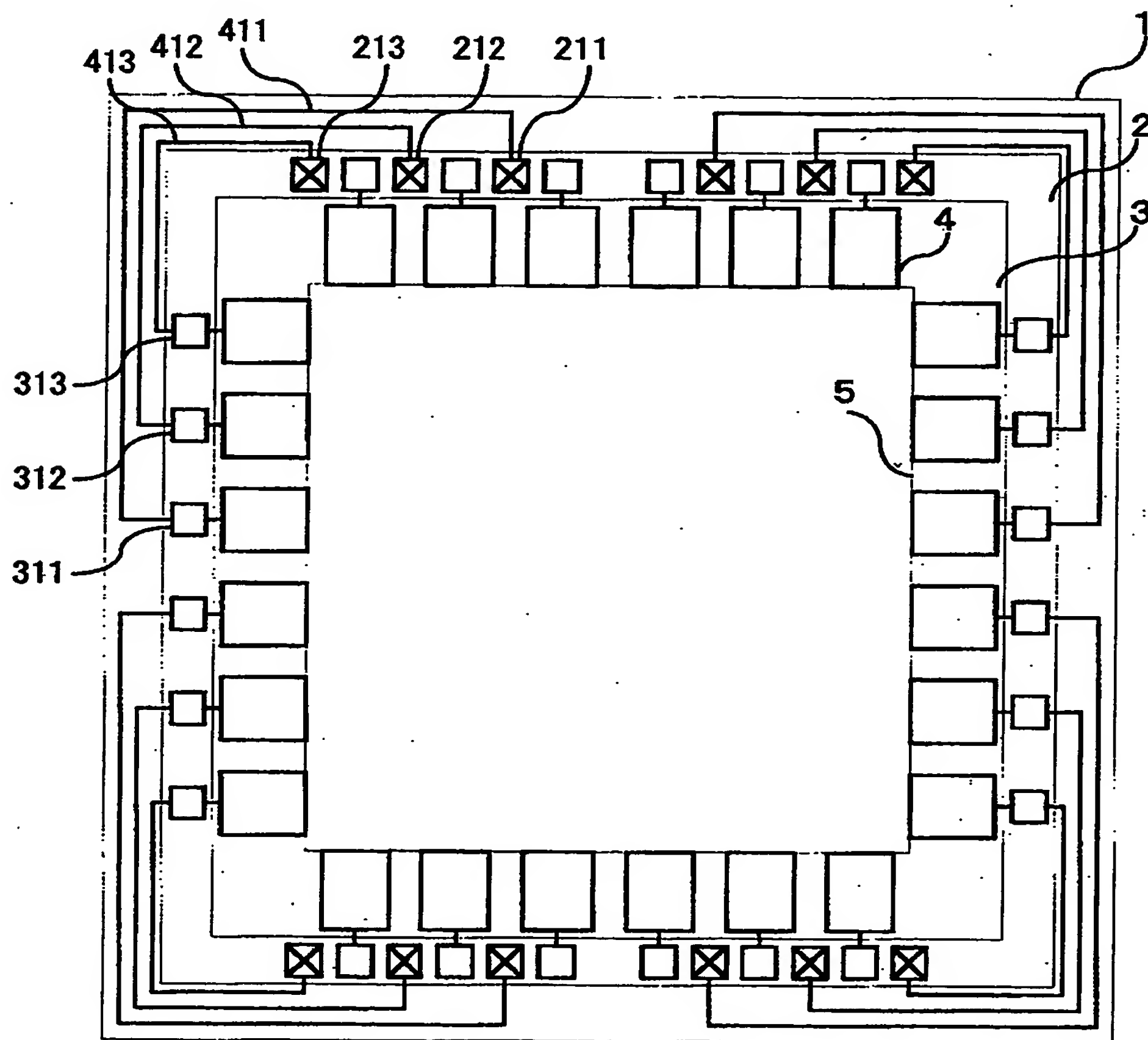
- 1 …半導体集積回路装置（チップ）、
- 2 …パッド領域、
- 3 …入出力バッファ領域、
- 4 …入出力バッファ、
- 4 a、4 b …静電破壊防止素子、
- 5 …内部論理領域、
- 6、6 1 1、6 1 2、6 1 3、6 1 4、6 1 5、6 1 6 …ボンディングワイヤ、
- 7、7 1 1、7 1 2、7 1 3、7 1 4、7 1 5、7 1 6 …インナーリード、
- 8 …プローブ針、
- 9 …パッド、
- 1 0 …半導体ウエハ、
- 1 1 x、1 1 y …スクライブ領域、

1 2 … T E G、
1 3 … フォトマスク境界、
1 9 a、1 9 b、2 0 a、2 0 b、2 0 c … プローブカード、
4 0 … 入力素子、
2 0 0、2 1 1、2 1 2、2 1 3、2 2 5 … プローブ検査用パッド、
3 0 0、3 1 1、3 1 2、3 1 3、3 1 4、3 1 5、3 1 6、3 2 4、3 2 5 …
ボンディング用パッド、
4 0 0、4 1 1、4 1 2、4 1 3、4 5 1、4 5 2、4 5 3、4 6 1、4 6 2、
4 6 3、4 7 1、4 7 2、4 7 3、4 9 1、4 9 2、4 9 3、4 9 5 … パッド間
接続用配線（信号線）、
4 1 1 g、4 1 2 g、4 1 3 g … 配線（GND線）。

【書類名】 図面

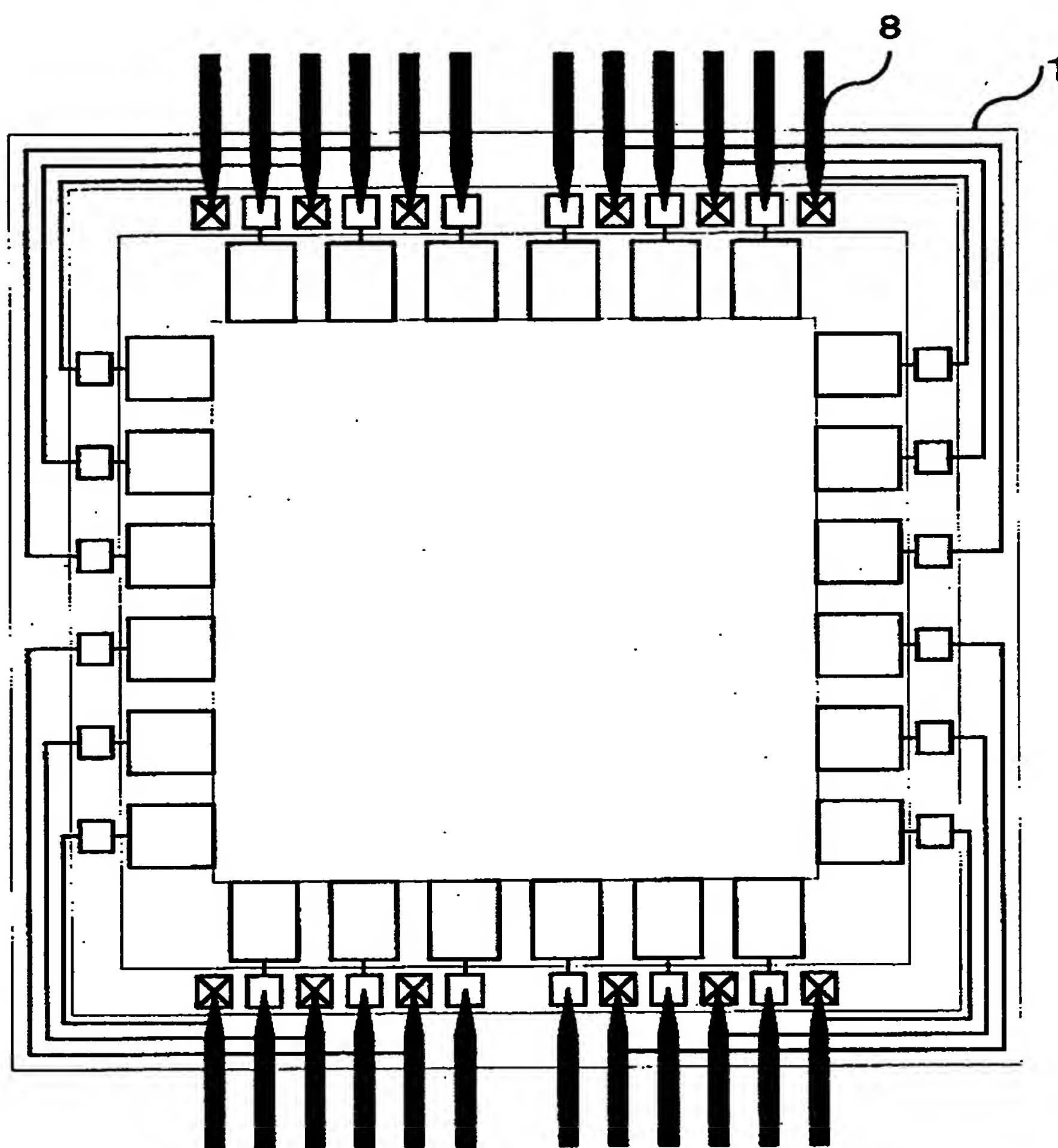
【図 1】

図 1

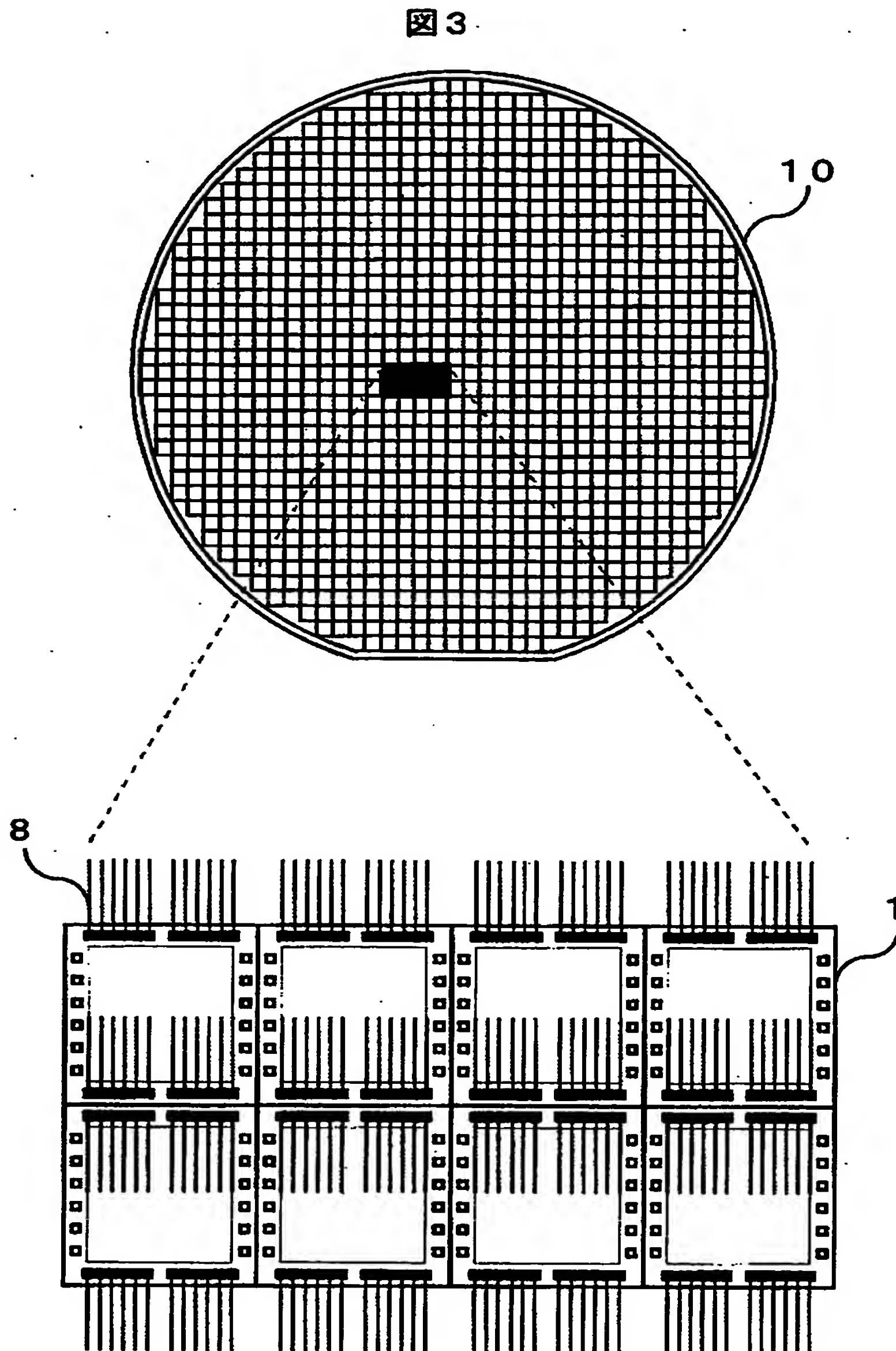


【図 2】

図 2

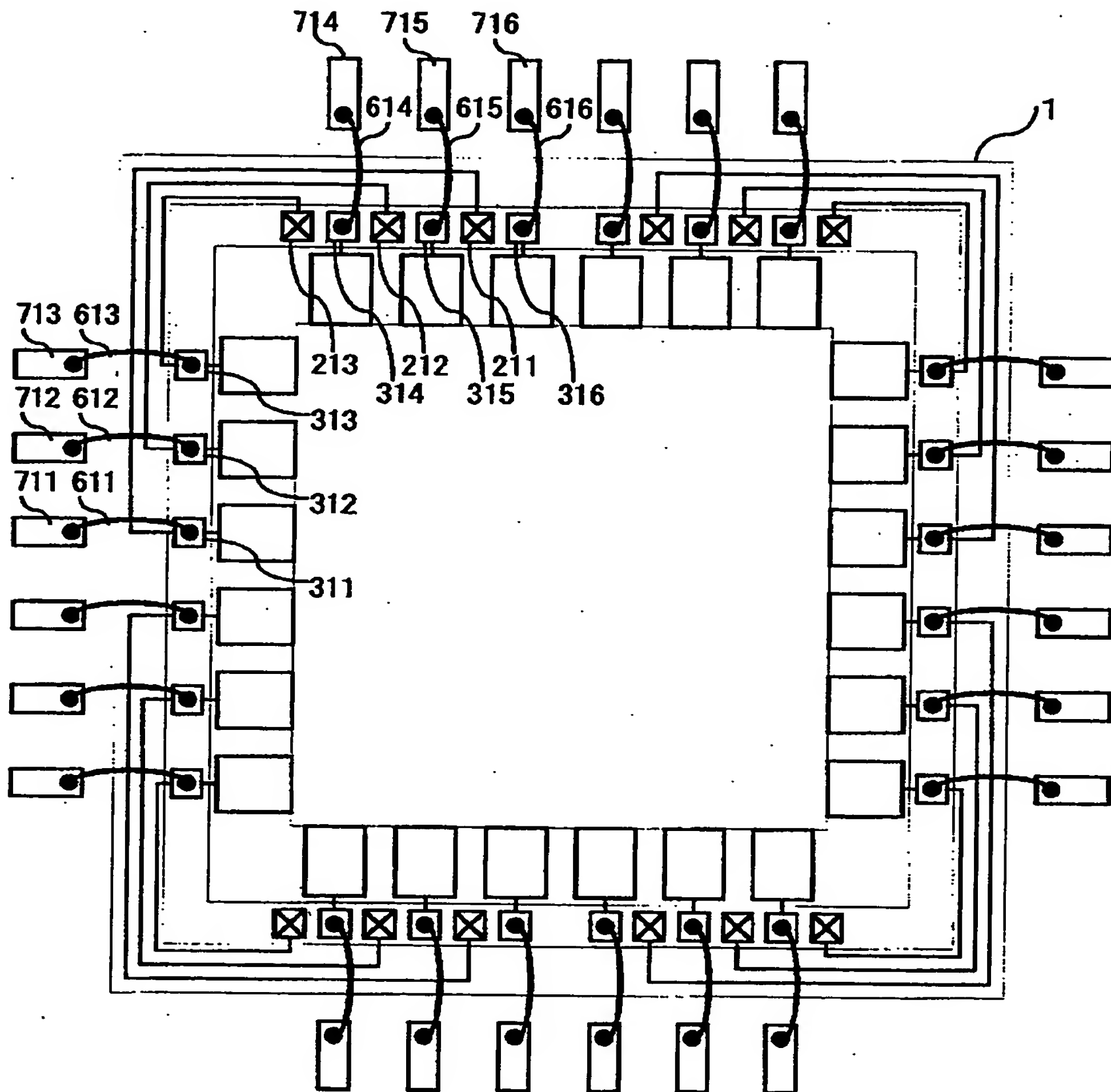


【図 3】



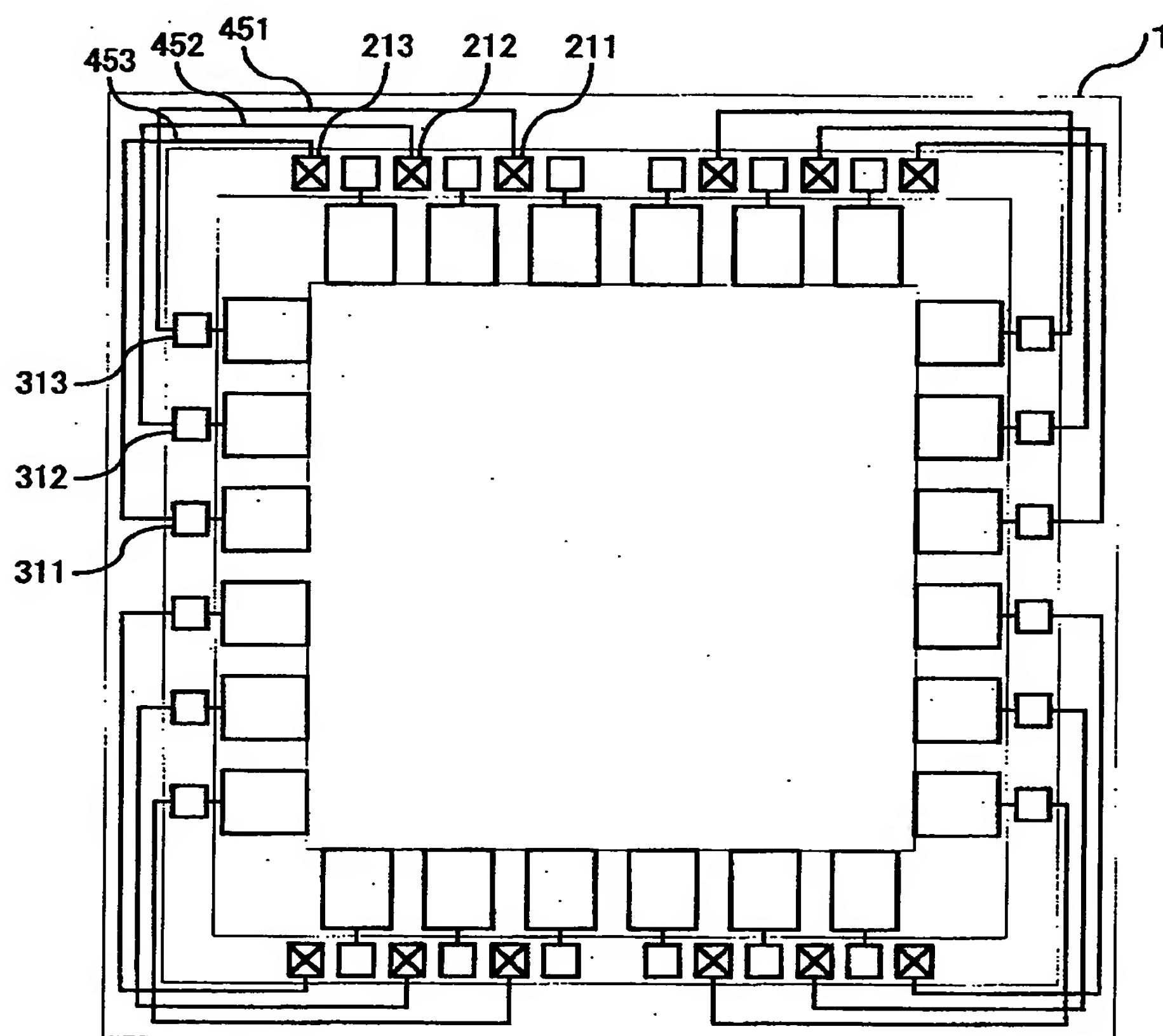
【図 4】

図 4



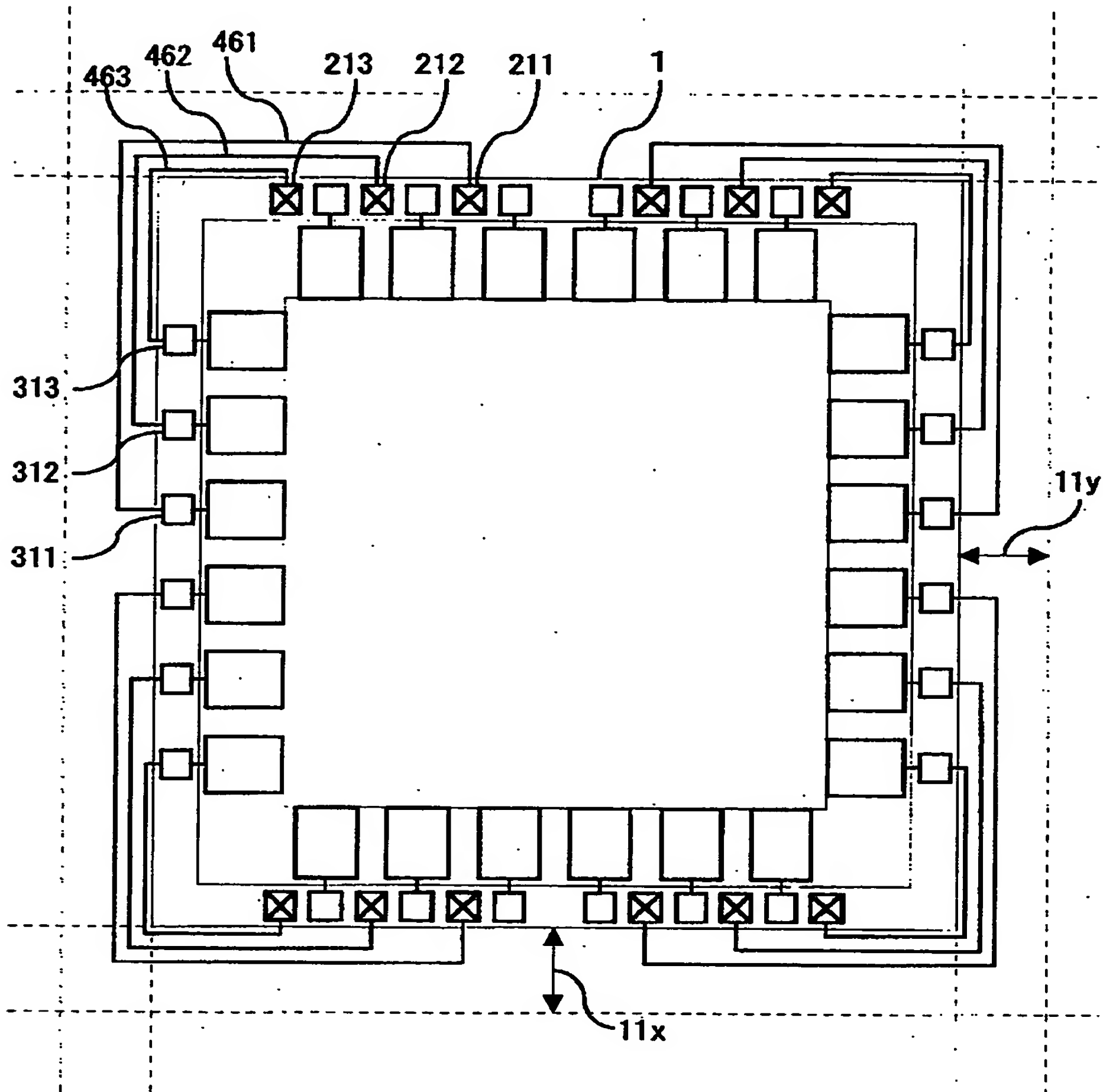
【図 5】

図 5



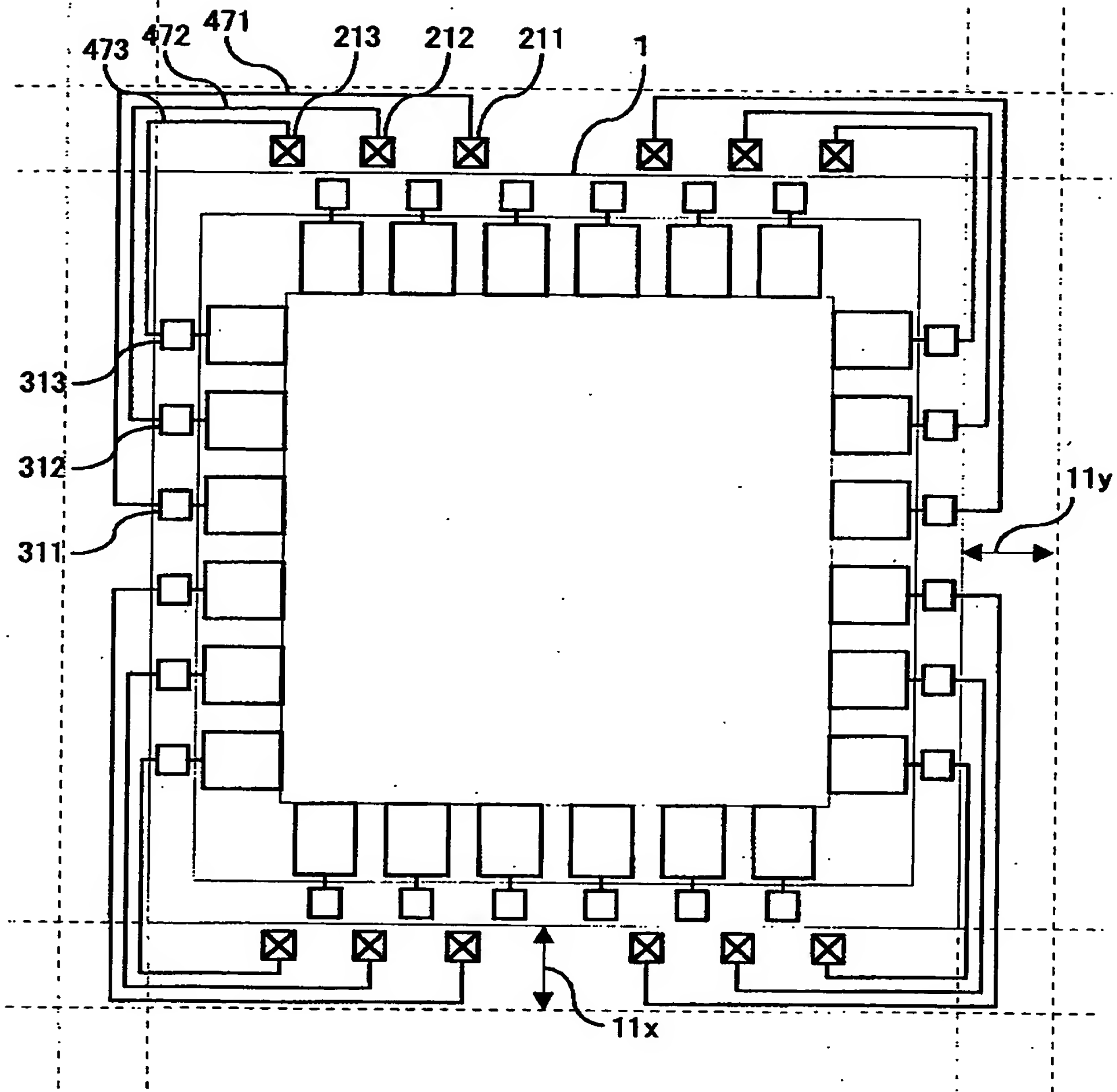
【図 6】

図 6



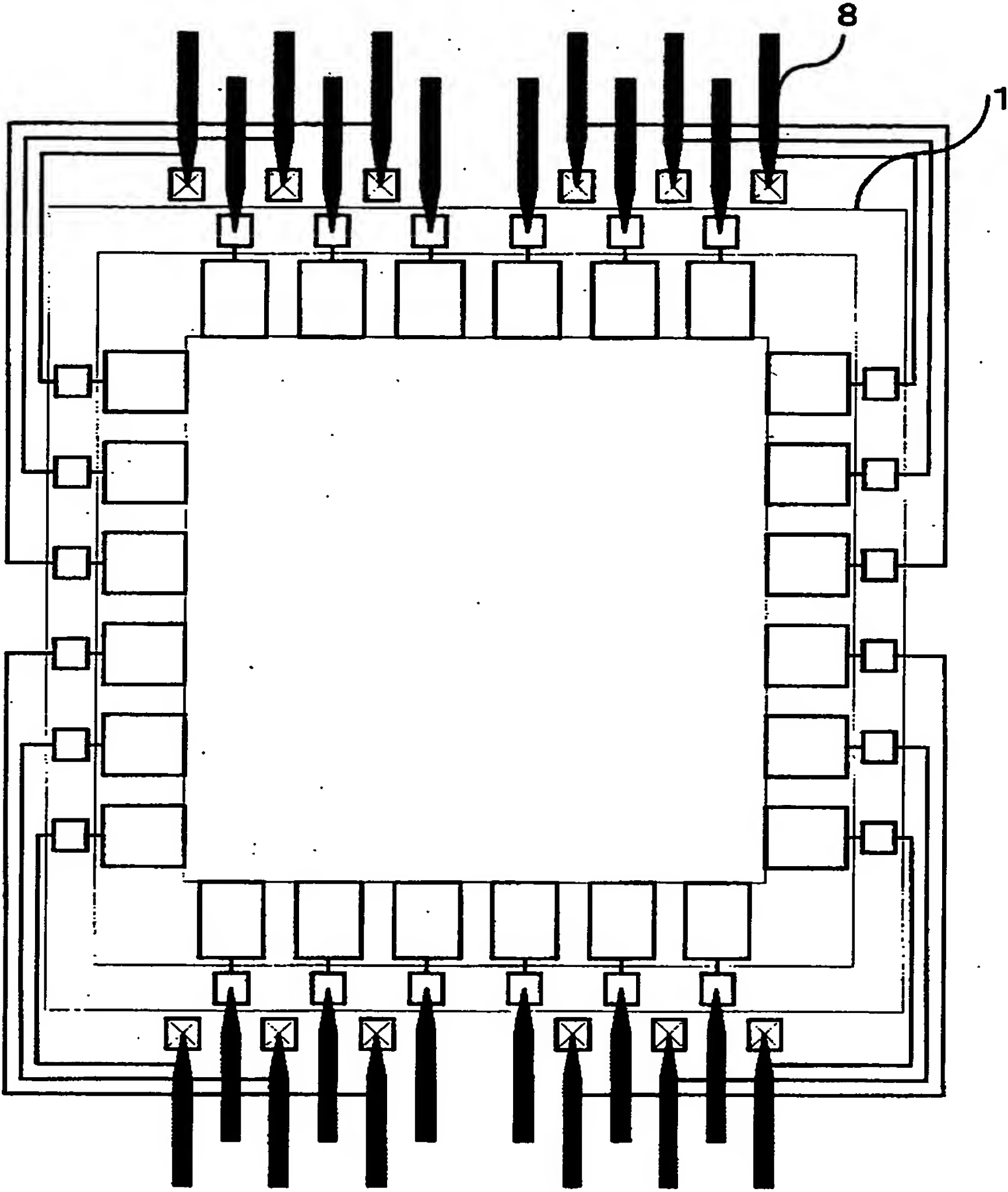
【図 7】

図 7



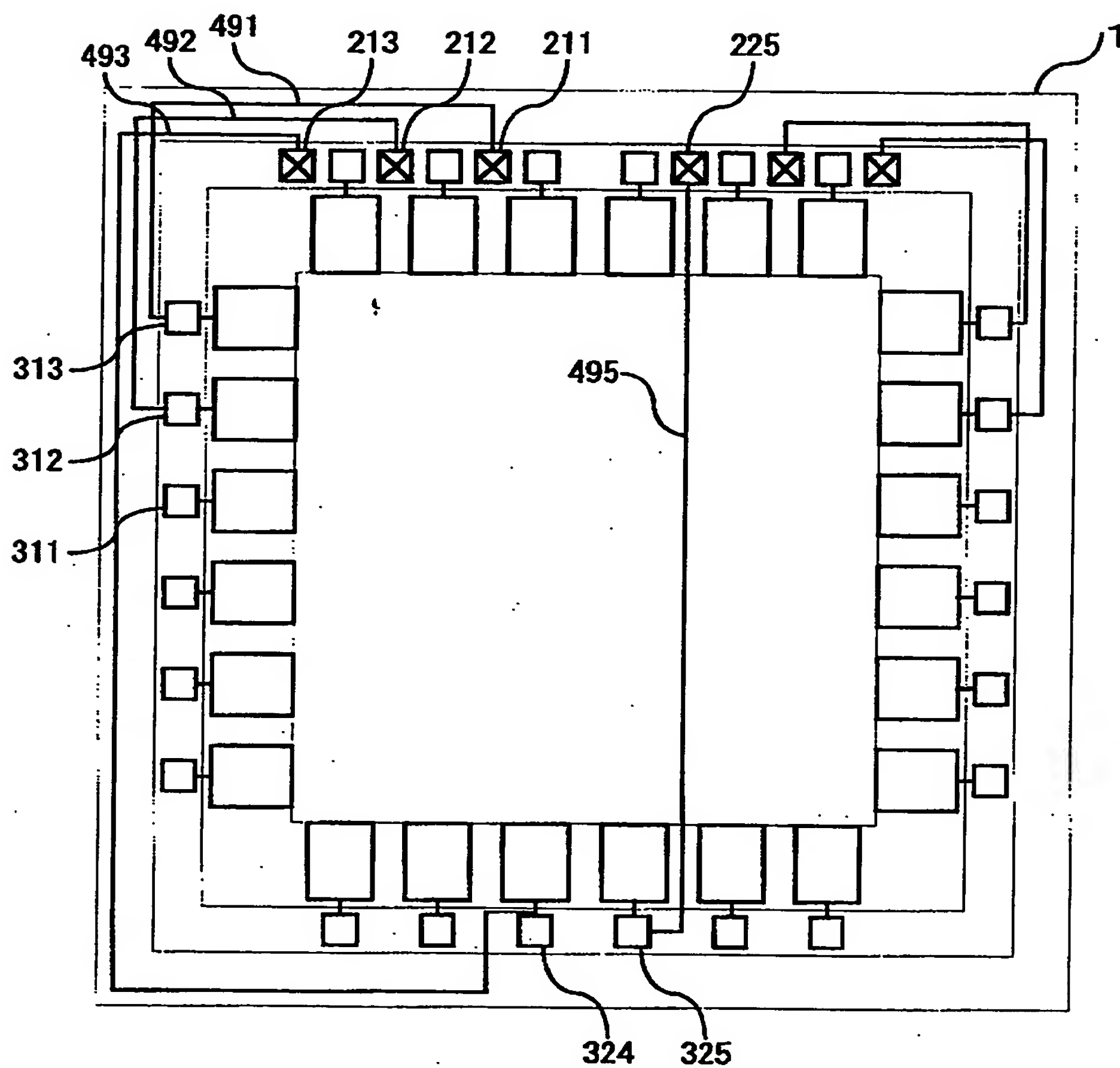
【図 8】

図 8



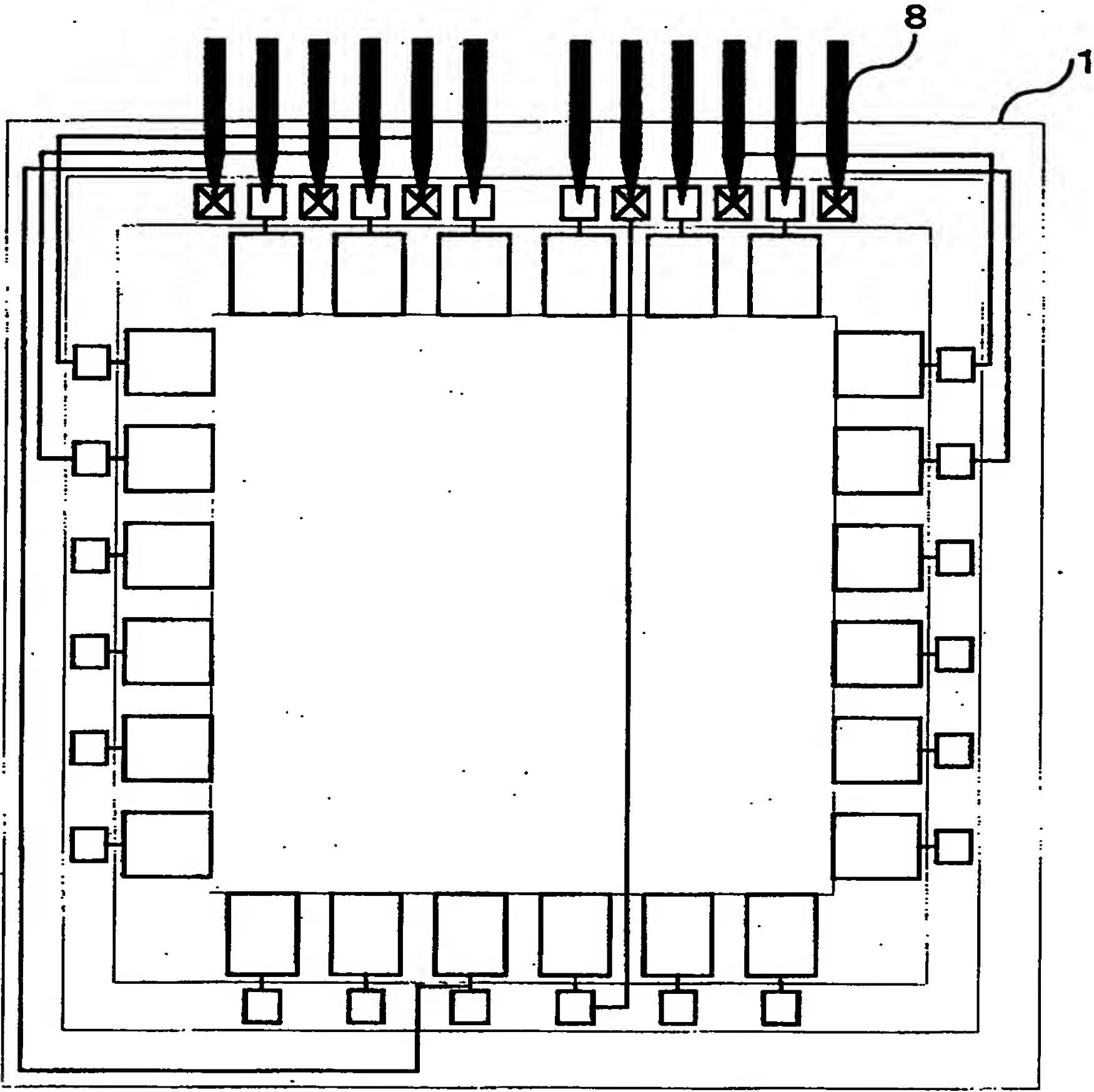
【図 9】

図 9

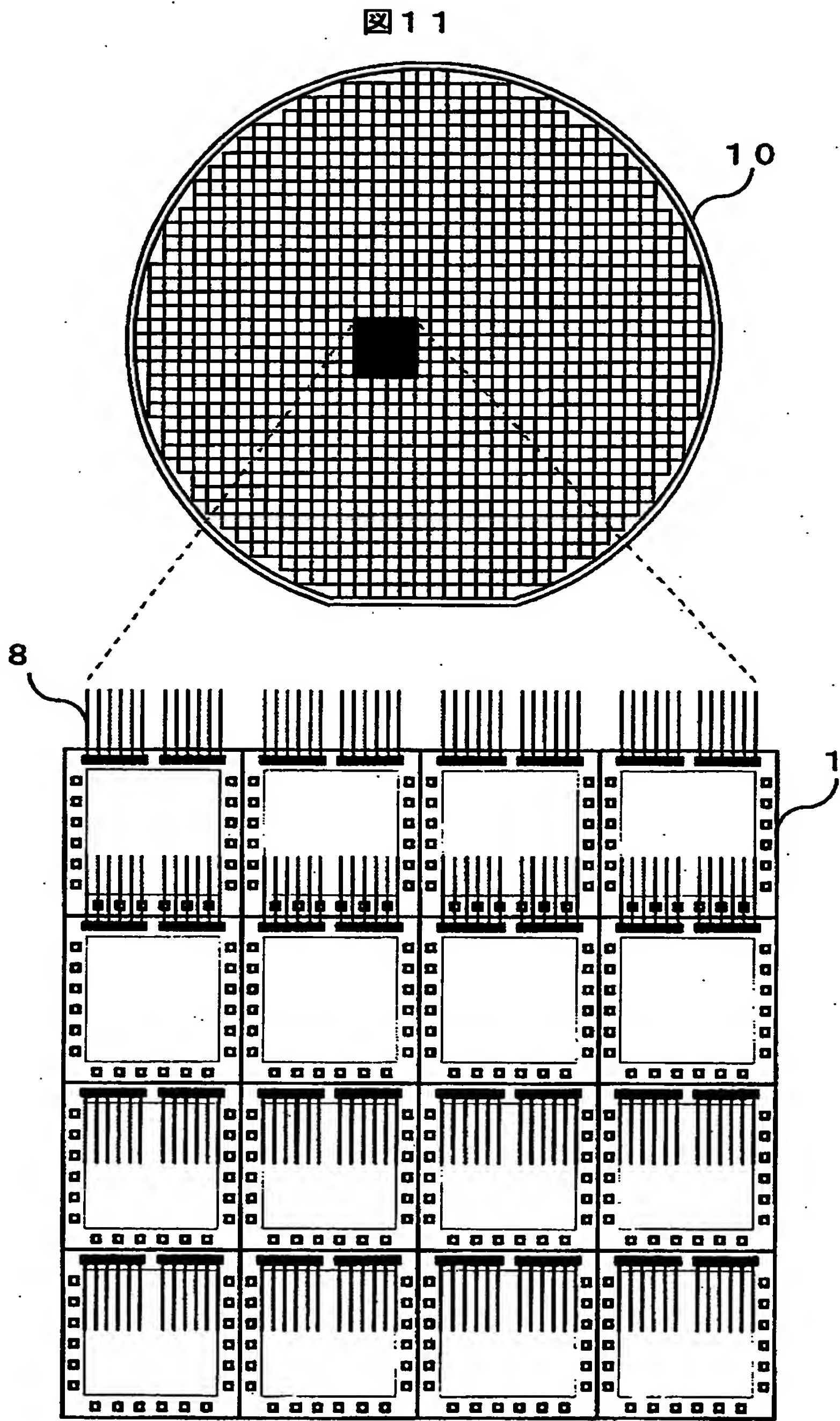


【図 1 0】

図 1 0

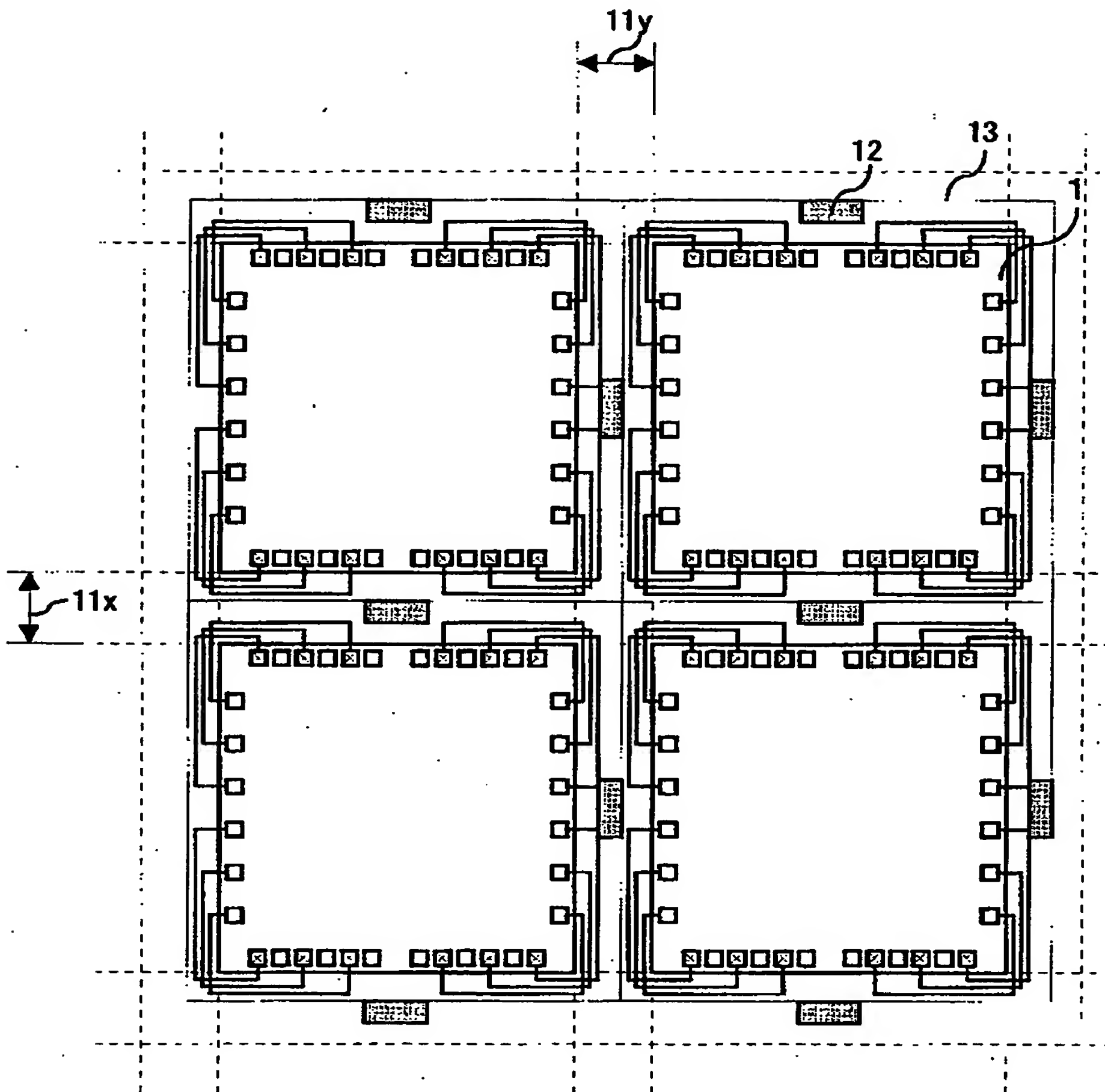


【図 11】



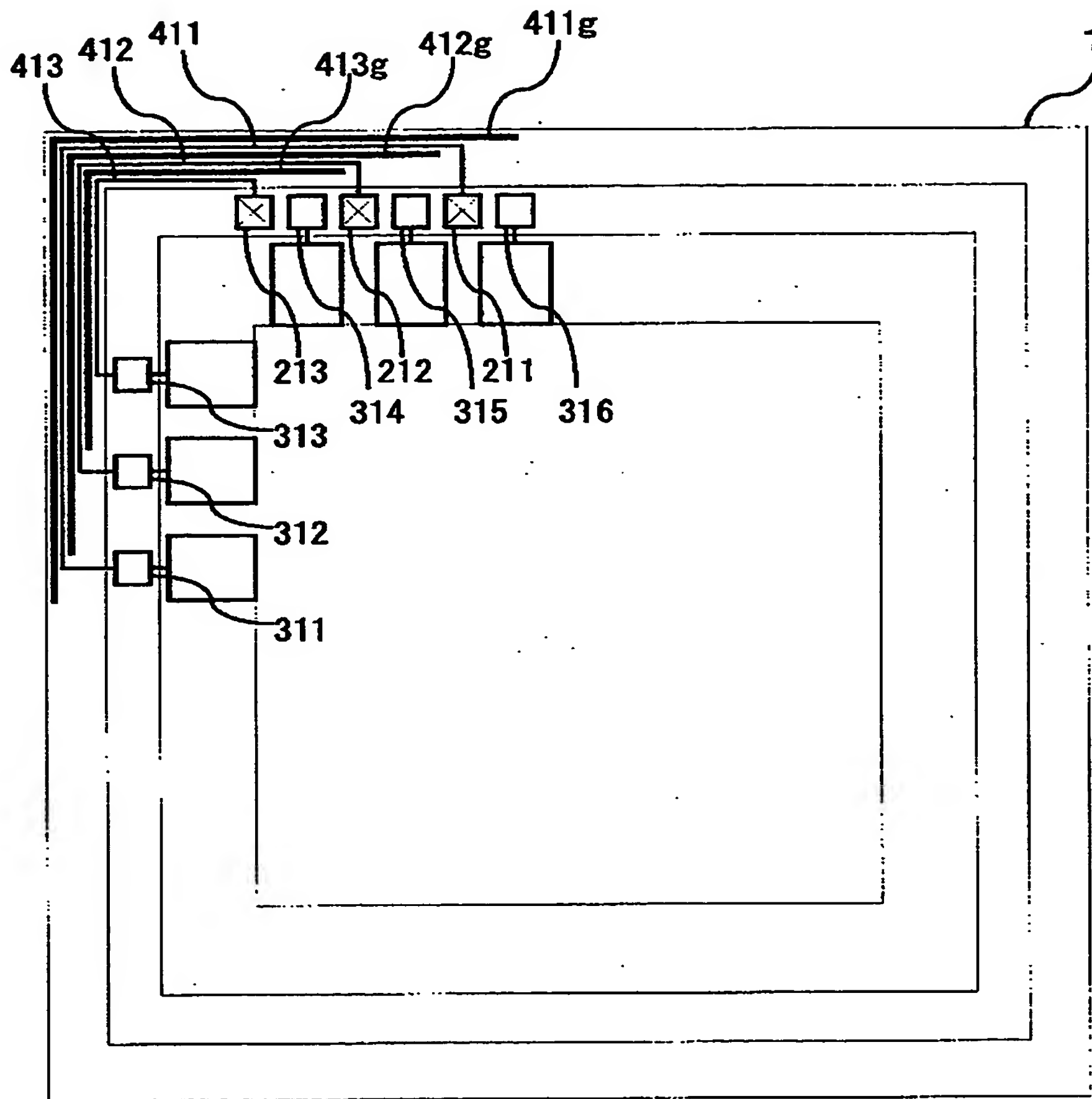
【図 1 2】

図 1 2



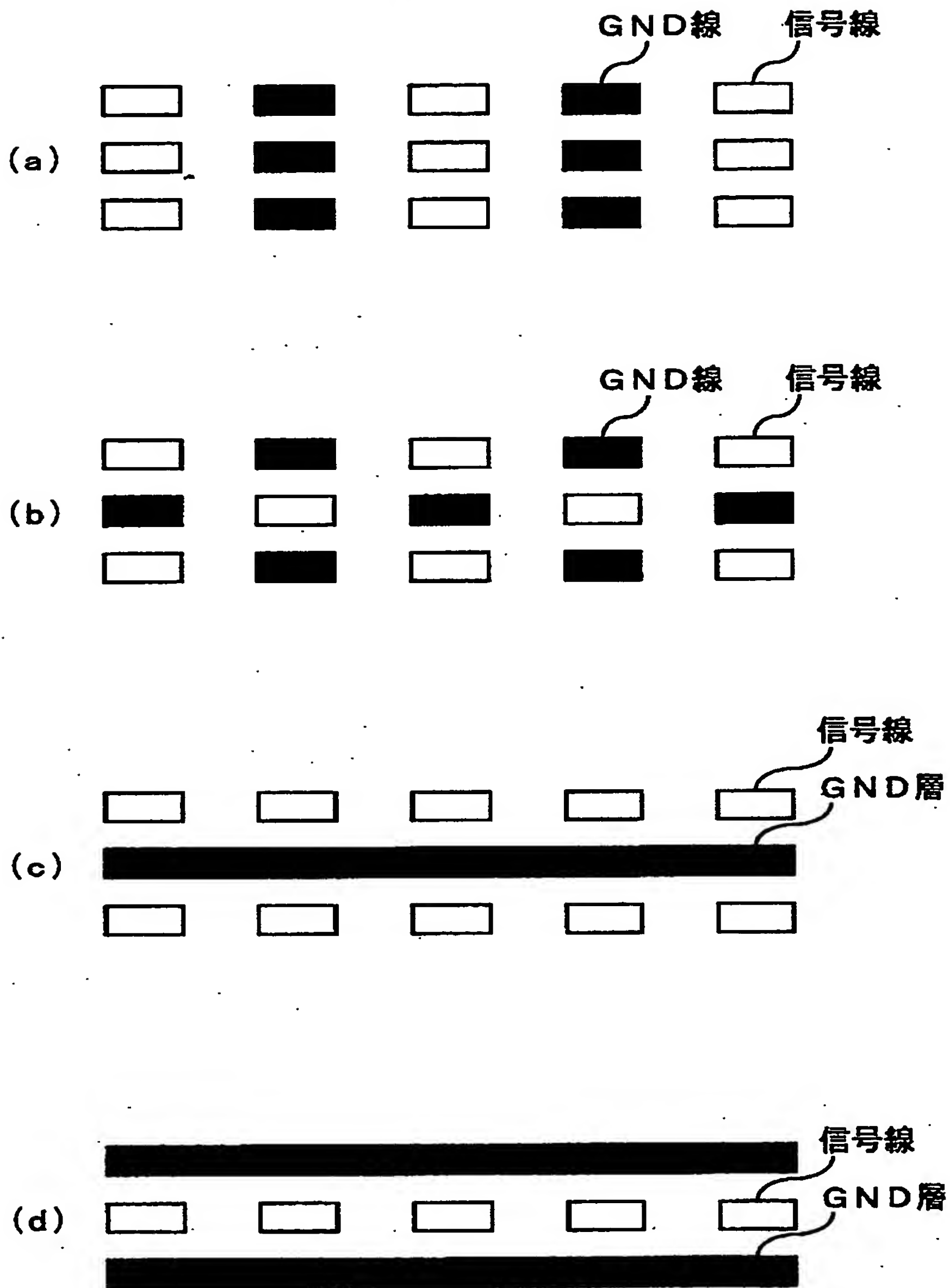
【図 1 3】

図 1 3



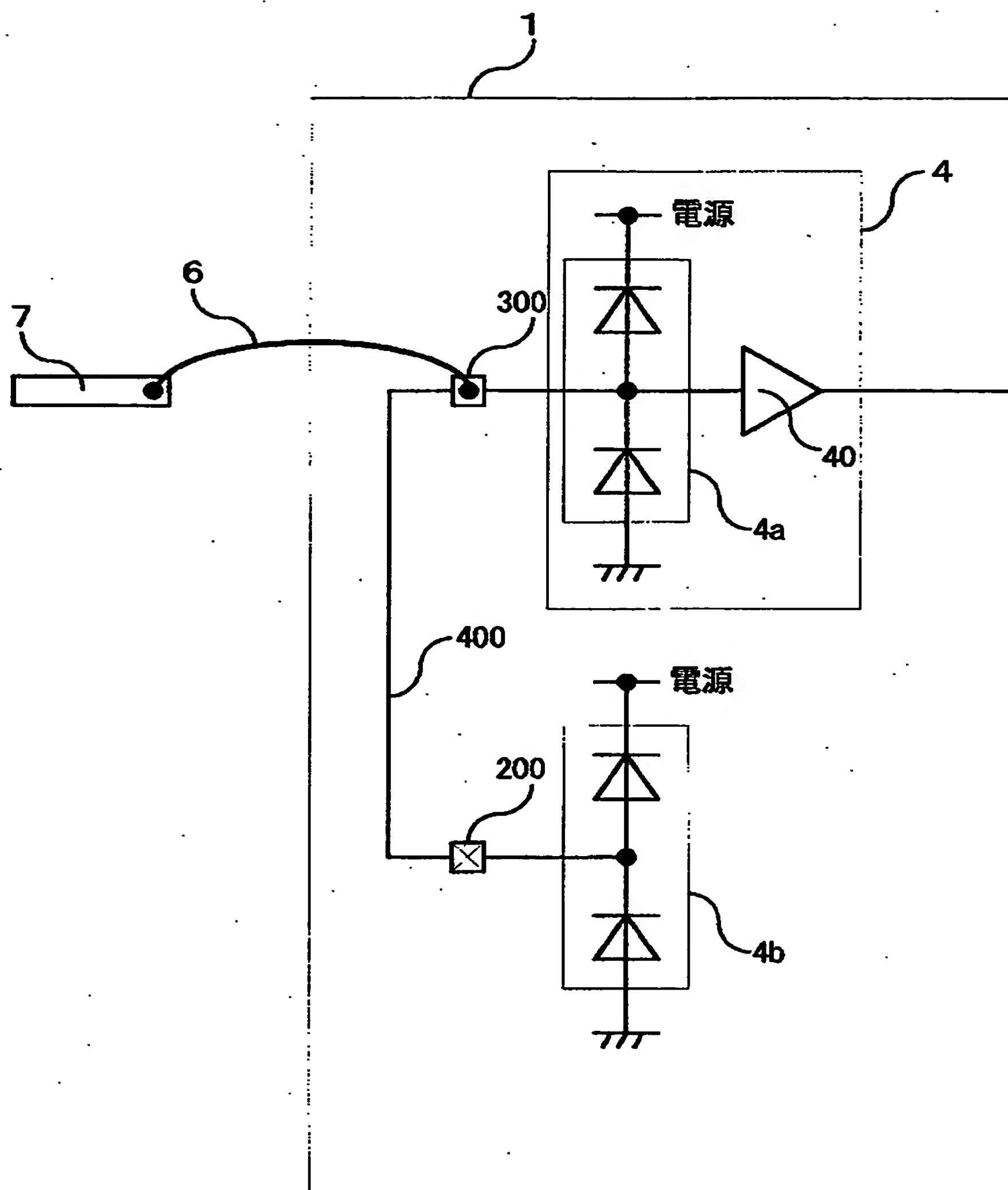
【図 1 4】

図 1 4



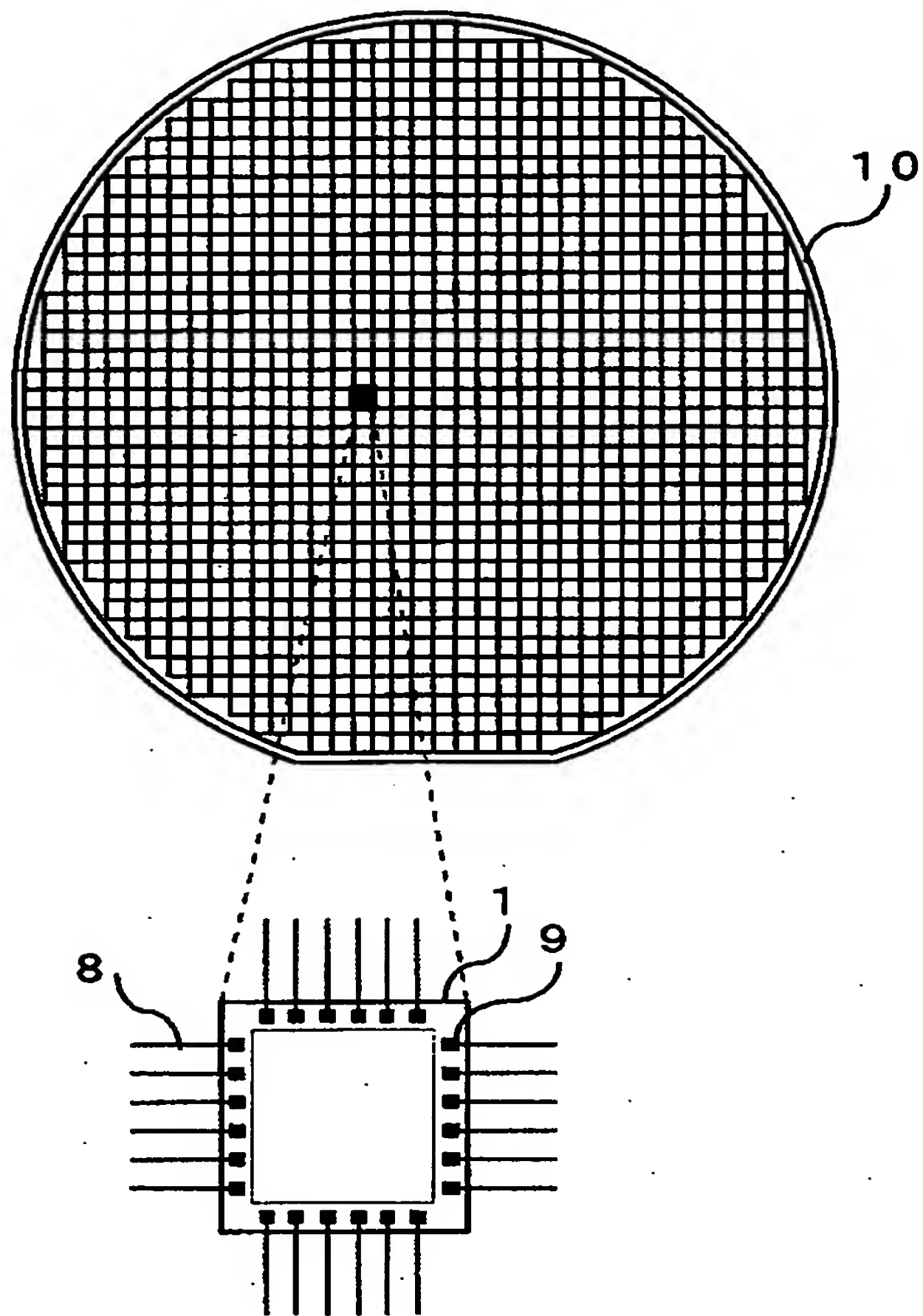
【図 1 5】

図 1 5



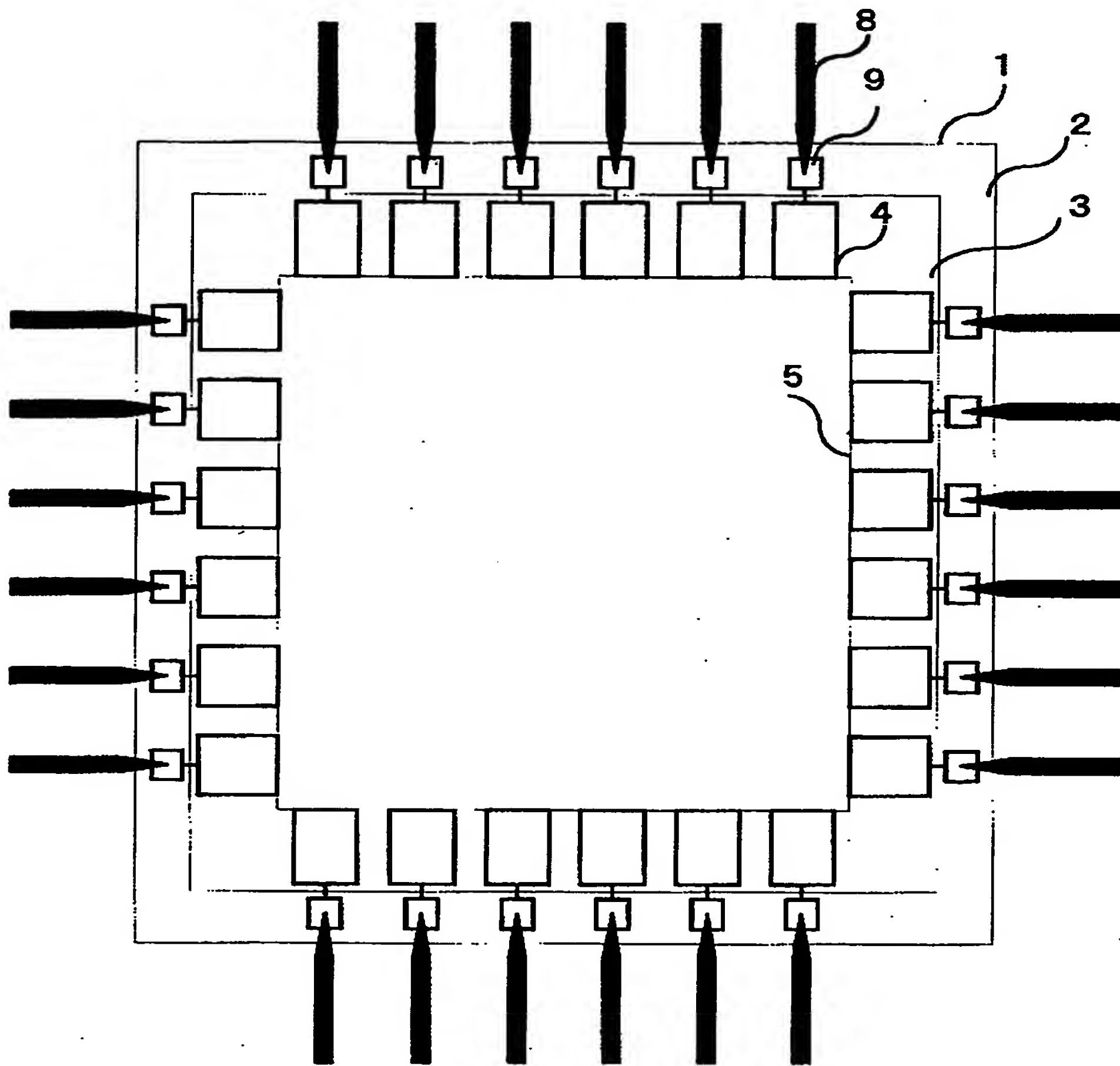
【図 16】

図 16



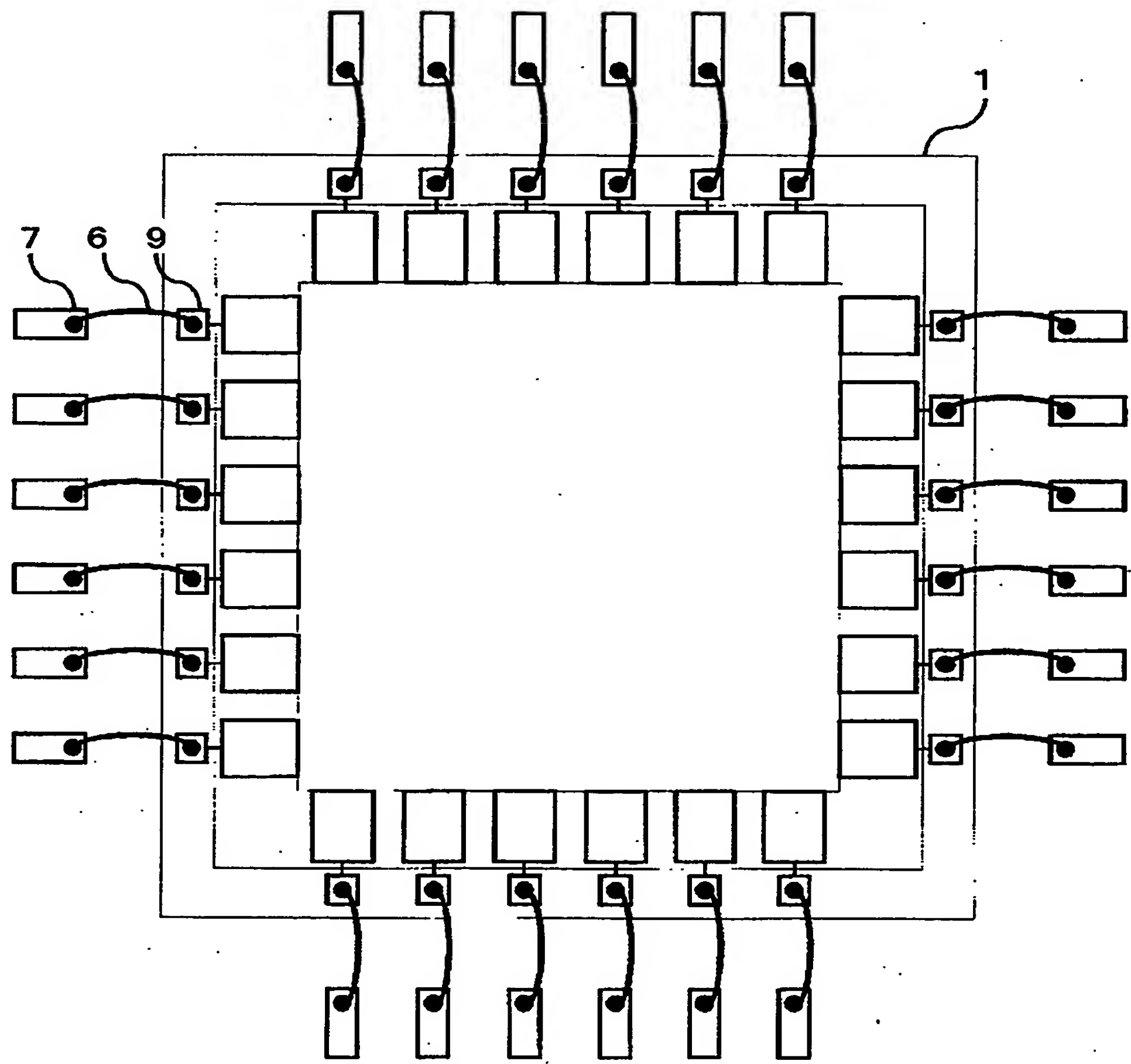
【図 17】

図 17



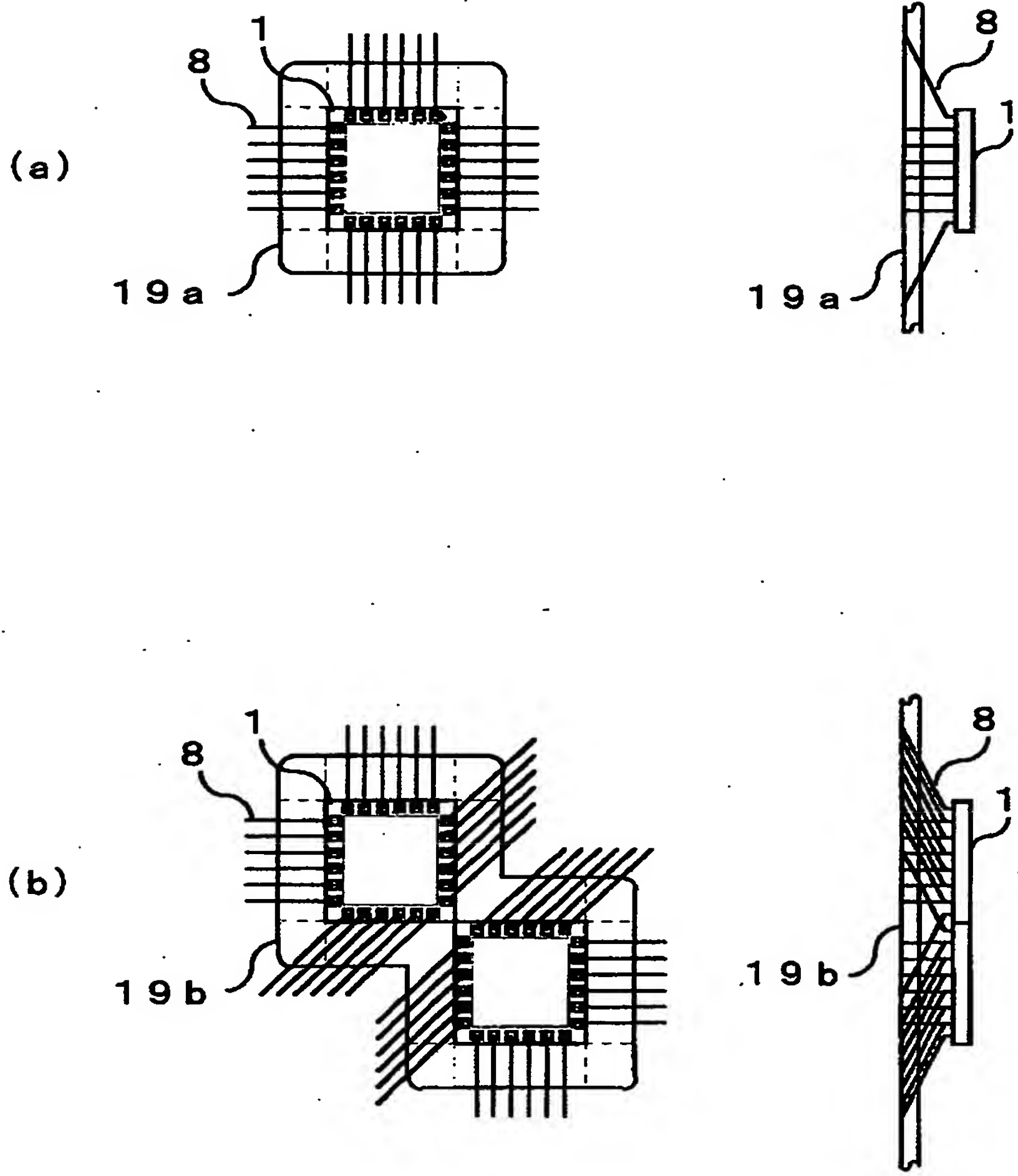
【図 1 8】

図 1 8



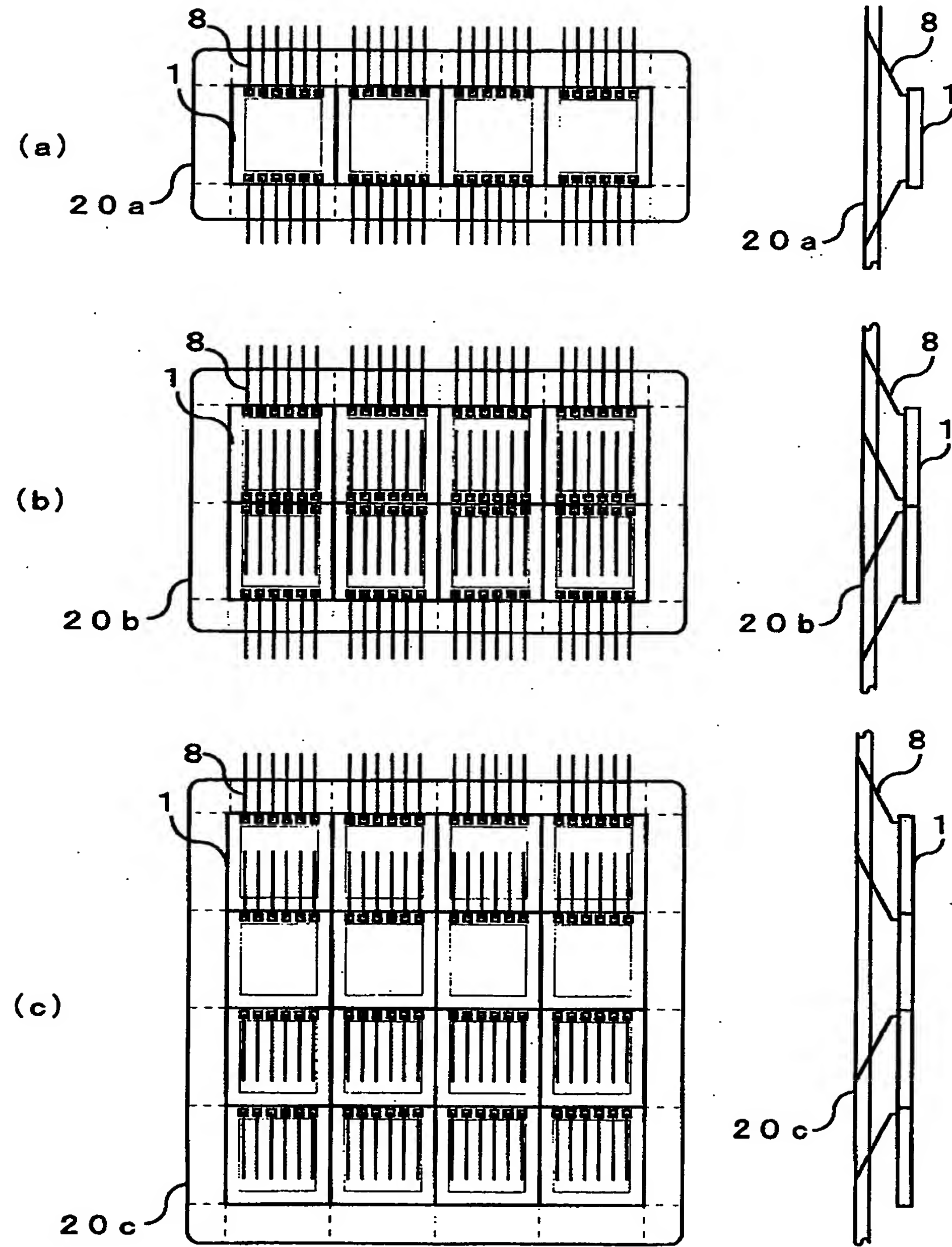
【図 1 9】

図 1 9



【図 2 0】

図 2 0



【書類名】 要約書

【要約】

【課題】

従来、プローブ検査において、4 辺に検査パッドがある半導体集積回路装置に対しては、特殊なプローブカード使用しない限り、1 回に1 個ずつ順番に移動と針当てとを繰り返して検査をしていた。このため、1 枚の半導体ウエハ上の全ての回路を検査するためには、半導体ウエハ1 枚当たりの検査時間＝1 回当たりの検査時間×検査回数（回路数）だけ時間がかかってしまうという問題があった。そのため、特に安価な半導体集積回路装置の製造においては、このプローブ検査にかかる時間が直接コストに影響するため、無視できない問題となっていた。

【解決手段】

ボンディング用パッドとプローブ検査用パッドとを配置した半導体集積回路装置1 において、プローブ検査用パッド2 1 1, 2 1 2, 2 1 3, …は回路1 の1 辺又は対向する2 辺上に配置して、該プローブ検査用パッドを配置した上記1 辺又は対向する2 辺以外の辺上に配置された所望のボンディング用パッド3 1 1, 3 1 2, 3 1 3, …から接続用配線4 1 1, 4 1 2, 4 1 3, …を延ばして対応するプローブ検査用パッド2 1 1, 2 1 2, 2 1 3, …に接続する。プローブ検査時には、検査対象回路の上記1 辺又は対向する2 辺に配置されたパッド（プローブ検査用パッド及びボンディング用パッド）に対してプローブ針を当てて検査する。

【効果】

半導体集積回路装置の同時複数個単位でのプローブ検査を容易化できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [0 0 0 2 3 3 1 6 9]

1. 変更年月日 1 9 9 8 年 4 月 3 日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ